

Описание микроконтроллеров 8051, 8052 и 80C51

Вступление

В данном документе представлено полное описание микроконтроллеров семейства MSC-51. Далее будут рассмотрены:

- порты и их функционирование в режимах портов и в качестве шин адреса/данных (для портов 0 и 2)
- таймер/счетчик
- последовательный интерфейс
- система прерываний
- сброс
- режимы энергосбережения в устройствах CMOS
- СППЗУ (стираемая перепрограммируемая ПЗУ) версии 8051АН, 8052АН и 80C51ВН

Список рассматриваемых устройств приведен в таблице 1. В дальнейшем, для удобства, будем ссылаться на все устройства как на 8051 и 8052, кроме случаев, когда конкретное устройство будет указано специально. Под 8051 будем подразумевать 8051АН, 80C51ВН и их версии без ПЗУ и с СППЗУ. Под 8052 будем подразумевать 8052АН, 8032АН и 8752ВН.

На рисунке 1 приведена функциональная схема микроконтроллеров 8051 и 8052.

Таблица 1

Название Устройства	Версия без ПЗУ	Версия с СППЗУ	ПЗУ (байт)	ОЗУ (байт)	16-разрядные таймеры	Тип структуры
8051АН	8031АН	8751Н, 8751ВН	4К	128	2	HMOS
8052АН	8032АН	8752ВН	8К	256	3	HMOS
80C51ВН	80C31ВН	87C51	4К	128	2	CMOS

Специальные функциональные регистры

СФР (специальный функциональный регистр) – это область внутренней памяти микросхемы. Ее карта показана на рис.2. СФР заключенные в скобки отсутствуют в микросхемах 8051.

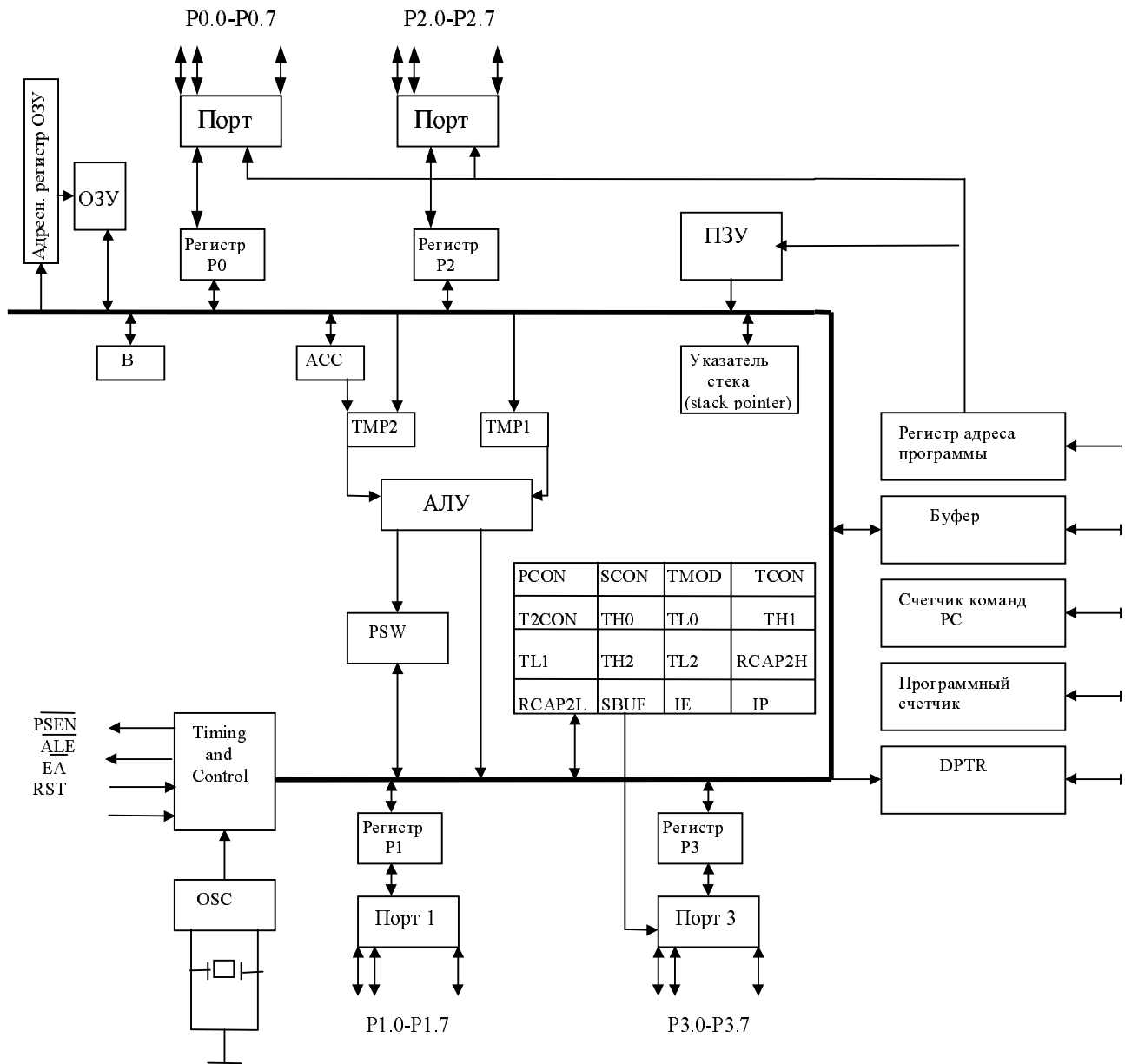


Рисунок 1. Архитектура MSC-51

8 байт

F8								FF
F0	B							F7
E8								EF
E0	ACC							E7
D8								DF
D0	PSW							D7
C8	(T2CON)		(RCAP2L)	(RCAP2H)	(TL2)	(TH2)		CF
C0								C7
B8	IP							BF
B0	P3							B7
A8	IE							AF
A0	P2							A7
98	SCON	SBUF						9F
90	P1							97
88	TCON	TMOD	TL0	TL1	TH0	TH1		8F
80	P0	SP	DPL	DPH			PCON	87

Рисунок 2. Карта СФР

Обратите внимание на то, что не все адреса используются. Неиспользуемые адреса не встроены в микросхему. Попытка чтения по этим адресам, в общем случае, вернет случайные данные, а попытки записи ни к чему не приведут.

Программное обеспечение не должно производить операции записи по неиспользуемым адресам, т.к. они (адреса) могут быть использованы в последующих моделях микросхем для других целей.

Основные СФР перечислены ниже.

АККУМУЛЯТОР

АСС – регистр аккумулятора. В мнемонических инструкциях обозначается как А.

РЕГИСТР В

Регистр В используется при выполнении операций умножения и деления. Для других операций может быть использован в качестве дополнительного.

СЛОВО СОСТОЯНИЯ ПРОГРАММЫ

PSW (Program Status Word) – слово состояния программы – содержит информацию о ходе выполнения программы (см. рис. 3).

УКАЗАТЕЛЬ СТЕКА

Регистр SP (Stack Pointer – указатель стека) – 8-ми разрядный регистр, содержащий указатель на вершину стека. Его значение увеличивается перед добавлением данных в стек (во время выполнения команд PUSH и CALL). Тогда как сам стек может находиться в произвольной области внутренней памяти, указатель стека при сбросе инициализируется значением 07H, т.е. стек начинается с адреса 08H.

УКАЗАТЕЛЬ ДАННЫХ

Указатель данных (DPTR) состоит из старшего (DPH) и младшего байта (DPL). Его функция – содержать 16-ти разрядный адрес. Им можно пользоваться как одним 16-ти разрядным регистром, или как 2-мя 8-ми разрядными.

ПОРТЫ (С 0 по 3)

P0, P1, P2 и P3 – СФР-защелки портов 0, 1, 2 и 3 соответственно.

ПОСЛЕДОВАТЕЛЬНЫЙ БУФЕР ДАННЫХ

Последовательный буфер данных состоит из двух отдельных регистров – регистра буфера передачи и регистра буфера приема. Когда данные попадают в SBUF, они перемещаются в буфер передачи, где ее и ожидают (посылка байта в SBUF инициирует передачу). Соответственно, при приеме информации, данные из буфера приема попадают в SBUF.

РЕГИСТРЫ ТАЙМЕРА

Регистровые пары (TH0, TL0), (TH1, TL1) и (TH2, TL2) являются 16-ти разрядными регистрами-счетчиками для таймера/счетчика 0, 1 и 2 соответственно.

РЕГИСТРЫ ЗАХВАТА

Регистровая пара (RCAP2H, RCAP2L) используется для “режима захвата” таймера 2. В этом режиме, при подаче сигнала на вход T2EX микросхемы 8052, содержимое регистров таймера TH2 и TL2 копируется в регистры RCAP2H и RCAP2L соответственно. Таймер 2 также имеет 16-ти разрядный режим авто-загрузки. В этом случае в регистрах RCAP2H и RCAP2L хранится атозагружаемое значение таймера. Более подробно об особенностях таймера 2 будет рассказано ниже.

РЕГИСТРЫ УПРАВЛЕНИЯ

СФР IP, IE, TMOD, TCON, T2CON, SCON и PCON содержат управляющую информацию для системы прерываний, таймера/счетчика и последовательного порта. Они будут описаны в следующих разделах.

СУ	АС	F0	RS1	RS0	OV	-	P
Символ	Позиция	Значение					
СУ	PSW.7	Флаг переноса.					
АС	PSW.6	Вспомогательный флаг переноса. (для двоично-десятичных операций).					
F0	PSW.5	Флаг 0. (доступен пользователю для общих целей).					
RS1	PSW.4	Банк регистра, выбирается управляющими битами 1&0. Устанавливается/снимается программно для определения банка регистра (см. замечание).					
RS0	PSW.3						
		Флаг переполнения.					
OV	PSW.2	Определяемый пользователем флаг.					
-	PSW.1	Флаг четности. Устанавливается/снимается аппаратно.					
P	PSW.0	Замечание: Содержимое RS1, RS0 позволяет определять следующие банки регистра: 0.0 – банк 0 (00H-07H) 0.1 – банк 1 (08H-0FH) 1.0 – банк 2 (10H-17H) 1.1 – банк 3 (18H-1FH)					

Рисунок 3. Регистр PSW.

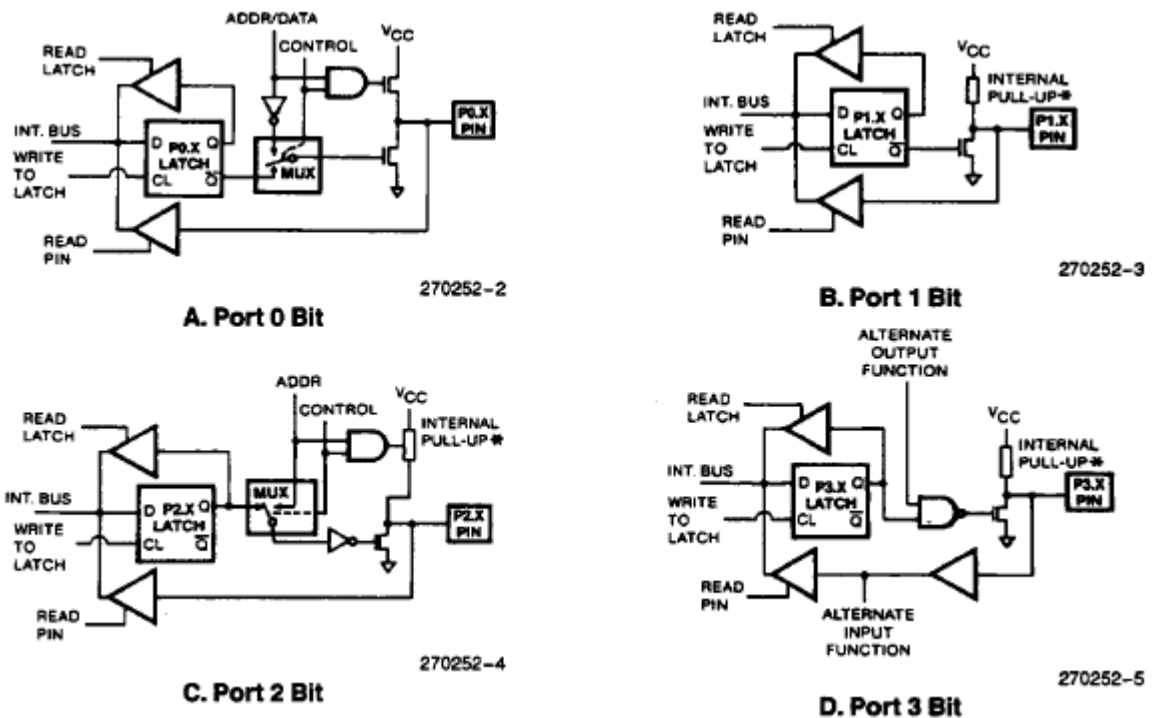


Рисунок 4. Регистры портов и буферы ввода-вывода 8051

Структура и работа портов

Все 4 порта микросхемы 8051 являются двунаправленными. В структуру порта входит регистр-защелка (P0 – P3), выходные схемы и входной буфер.

Выходные схемы портов 0 и 2 и входной буфер порта 0 используются для доступа к внешней памяти. При этом на выходе порта 0 содержится младший байт адреса внешней памяти вместе с мультиплексированным во времени байтом указания чтения или записи. На выходе порта 2 находится старший байт адреса внешней памяти. В случае, если адрес 8-ми разрядный, на выходе порта 2 будет находиться содержимое регистра P2.

Все контакты порта 3 и (в 8052) два контакта порта 1 являются многофункциональными и могут использоваться в следующих назначениях:

Порт.Контакт	Альтернативная функция
*P1.0	T2 (внешний вход таймера/счетчика 2)
*P1.1	T2EX (триггер захвата/загрузки таймера/счетчика 2)
P3.0	RXD (последовательный порт ввода)
P3.1	TXD (последовательный порт вывода)
P3.2	INT0# (внешнее прерывание)
P3.3	INT1# (внешнее прерывание)
P3.4	T0 (внешний вход таймера/счетчика 0)
P3.5	T1 (внешний вход таймера/счетчика 1)
P3.6	WR# (внешний строб записи памяти)
P3.7	RD# (внешний строб чтения памяти)

* - альтернативные функции доступны только в 8052.

Альтернативные функции контакта могут быть использованы только если бит-защелка в СФР порта установлен в 1.

Конфигурации ввода-вывода

На рис. 4 показаны функциональные схемы типовых битов-защелок и буферов ввода-вывода для каждого порта. Бит-защелка (бит СФР порта) изображен как D-триггер, который фиксирует значение на внутренней шине в ответ на сигнал процессора «write to latch» – «запись в защелку». Вывод Q триггера соединяется с внутренней шиной в случае сигнала процессора «read latch» – «прочитать защелку». И наконец по сигналу «read pin» – «прочитать контакт» контакт порта соединяется с внутренней шиной. Некоторые инструкции чтения порта вызывают сигнал «read latch», а другие «read pin» но об этом позже.

Как видно из рис. 4 выходные схемы портов 0 и 2 допускают переключение на внутреннюю шину адреса и адреса/данных внутренним сигналом CONTROL для использования в доступах к внешней памяти. Во время доступа к внешней памяти, регистр P2 остается неизменным, а в регистр P0 записываются единицы.

Также из рис. 4 видно, что если бит-защелка регистра P3 содержит 1, то выходной уровень контролируется сигналом «alternate output function». Реальный уровень на контактах P3.X всегда доступен альтернативной входной функции, если он есть.

Порты 1, 2 и 3 имеют внутреннюю нагрузку. Порт 0 имеет выход с открытым стоком. Каждая линия ввода-вывода может быть использована независимо от других как для ввода, так и для вывода. (Порты 0 и 2 не могут быть использованы в качестве портов ввода/вывода общего назначения во время их использования в качестве шины адреса/данных). Чтобы линия использоваться как входная, бит-защелка порта должен содержать 1, что отключает полевой транзистор выходной цепи. После этого выходной контакт портов 1, 2 и 3 высоконагружен и может быть разгружен внешним источником.

Порт 0 отличается от остальных отсутствием внутреннего нагрузочного резистора. Нагрузочный транзистор выходной цепи регистра P0 используется только тогда, когда на выходе порта содержится 1-цы во время обращений к внешней памяти. В противном случае нагрузочный транзистор закрыт. Т.о. линии P0 используемые для вывода имеют открытый сток. Запись 1 в бит-защелку оставляет оба выходных транзистора закрытыми и контакт работает вхолостую. В этом состоянии он может быть использован как высокоимпедансный вход.

Т.к. порты 1, 2, и 3 имеют фиксированную встроенную нагрузку, их иногда называют «квази-двунаправленными» потоми. Когда они настроены как выходные на них висит высокоомная нагрузка и если на них подключить низкоомную нагрузку то они будут являться источниками тока. С другой стороны порт 0 называют «истинно» двунаправленным портом, т.к. во входном режиме работает вхолостую.

По команде RESET на все регистры всех портов микросхем 8051 посылаются 1.

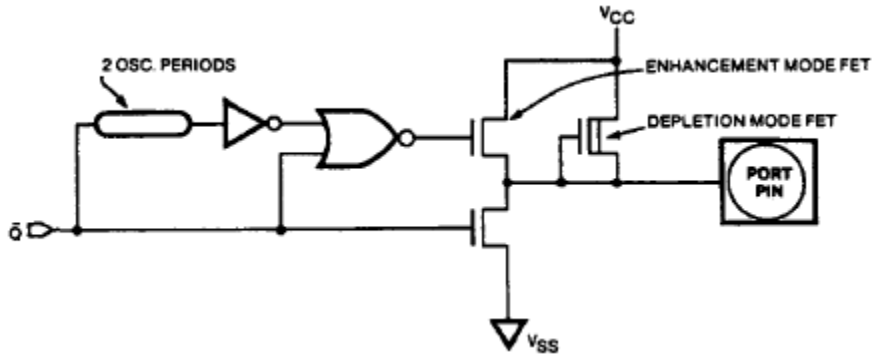
Запись в порт

При выполнении инструкций, которые изменяют значение регистра порта, новое значение появляется в регистре во время S6P2 (step 6 phase 2) финального цикла инструкции. Реально, регистры портов отображают выходные буферы только во время фазы 1 любого такта. (во время фазы 2 выходные буферы содержат значение, которое было в них во время фазы 1). Следовательно, новое значение появится в регистре только со следующей фазой 1, которая будет с наступлением S1P1 следующего машинного цикла (см. рис. 39).

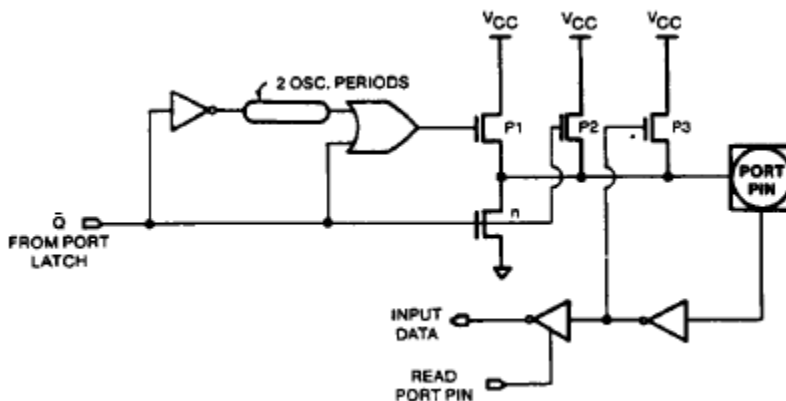
Если новое значение требует перевода типа 0-в-1, в портах 1, 2 и 3 подключается дополнительная нагрузка во время S1P1 и S1P2 цикла, в котором идет передача. Это необходимо для увеличения скорости передачи. Дополнительный нагрузка может дать ток в 100

раз больший, чем обычная. Следует помнить, что в роли внутренних нагрузок выступают полевые транзисторы, а не линейные резисторы. Классификация нагрузки приведена на рис. 5.

В NMOS версии микросхем 8051 постоянной частью нагрузки является обедненный полевой транзистор у которого затвор соединен с истоком. Этот транзистор позволяет контакту давать ток в 0.25мА при его заземлении. В то же время там находится и обогащенный полевой транзистор, который открывается во время S1 всякий раз при переходе бита порта 0-в-1. Если в это время контакт порта закорочен на землю, этот дополнительный транзистор позволяет контакту давать дополнительные 30мА.



а) Конфигурация NMOS. Транзистор, работающий в обогащенном режиме включается на 2 периода осциллятора после перехода 0-в-1 на Q#.



б) Конфигурация CHMOS. Транзистор P1 открывается на 2 периода осциллятора после перехода 0-в-1 на Q#. В это же время P1 открывает через инвертор и P3 для фиксации 1. P2 также открыт.

Рисунок 5. Внутренние нагрузочные конфигурации NMOS и CHMOS портов 1 и 3. Конфигурация порта 2 аналогичная, за исключением высокой нагрузки при выдаче 1-цы адресного бита.

В CHMOS версиях нагрузка состоит из 3-х полевых транзисторов р-типа. Следует помнить, что транзисторы с каналом n-типа открываются когда логическая «1» подается на затвор и закрывается, когда туда подается «0». У транзисторов с каналом р-типа ситуация обратная.

Транзистор P1 на рис. 5 открывается на 2 периода осциллятора после перехода 0-в-1 в регистре порта. Когда он открыт, через инвертор открывается и транзистор P3 (низкая нагрузка). Этот инвертор и транзисторы р-типа образуют защелку, которая удерживает «1».

Обратите внимание, что если на выходе контакта порта находится «1», проблемы на контакте от внешнего источника могут закрыть транзистор P3, что переведет контакт в холостой режим. Транзистор P2 – очень слабая нагрузка. Он будет открываться всякий раз, когда транзистор n-типа будет закрываться (как в обычной КМОП-структуре). Его назначение – восстанавливать значение «1» на контакте в случае если на контакте была «1» и она была утеряна в следствие внешней проблемы.

Загрузка и согласование портов.

Выходные буфера портов 1, 2 и 3 могут управлять 4-мя LS TTL входами каждый. В NMOS версиях эти порты могут управляться обычным способом любой TTL или nMOS схемой. И NMOS и CMOS контакты могут управляться открыто-коллекторными и открыто-стоковыми выходами, но при этом переход 0-в-1 не будет быстрым. В NMOS-устройстве, если контакт управляется открыто-коллекторным выходом, переход 0-в-1 будет управляться относительно слабым обедненным режимом транзисторов (рис. 5 “а”). В CMOS устройстве, «0» на входе закрывает транзистор P3, оставляя только очень слабую нагрузку P2 для управления переходом.

В режиме внешней шины, выходные буферы порта 0 могут управлять 8-мью LS TTL входами каждый. Как и контакты порта, они требуют внешней нагрузки для управления входом.

Особенность чтения-модификации-записи

Некоторые инструкции чтения из порта читают из регистра порта (защелки), а другие – непосредственно с контактов порта. Содержимое регистра читают те инструкции, которые считывают значение, возможно, изменяют его, и перезаписывают его обратно. Это так называемые инструкции «чтения-модификации-записи». Все они перечислены ниже. Когда операнд назначения порт, или бит порта, эти инструкции читают из регистра, а не с контакта.

ANL	логическое и
ORL	логическое или
XRL	логическое исключаящее или
JBC	переход, если бит=1 и очистка бита.
CPL	сопряженный бит
INC	инкремент
DEC	декремент
DJNZ	декремент и переход, если не ноль
MOV PX.Y, C	загрузить бит переноса в бит Y порта X
CLR PX.Y	установить в «0» бит Y порта X
SETB PX.Y	установить в «1» бит Y порта X

Не совсем очевидным является тот факт, что 3 последние инструкции являются инструкциями «чтения-модификации-записи». Но это на самом деле так: они читают сразу все 8 бит из порта, изменяют необходимый бит и записывают байт обратно.

Причина, по которой инструкции «чтения-модификации-записи» не обращаются напрямую к контактам порта - в избежании возможного неверного толкования уровня напряжения на контакте. Например, бит порта может быть использован для управления базой транзистора. Когда бит устанавливается в «1» транзистор открывается. Допустим, если после этого процессор прочитает тот же самый бит на контакте, а не из регистра, он получит напряжение на базе транзистора и интерпретирует его как «0». Если же значение бита будет прочитано из регистра, то процессор получит верное значение «1».

Доступ к внешней памяти

Возможен доступ к двум типам внешней памяти: внешней памяти программы и внешней памяти данных. Доступ к внешней программной памяти осуществляется с помощью сигнала PSEN#, как стробирующего сигнала чтения. Для доступа к памяти данных используют стробирующие сигналы RD# или WR#.

При обращении к памяти программ всегда используют 16-разрядную адресацию, в то время как адресация памяти данных может быть либо 16-разрядной (MOVX @DPTR) либо 8-разрядной (MOVX @Ri).

Когда используется 16-разрядная адресация, старший байт адреса передается через порт P2, где он удерживается на время цикла чтения или записи. Обратите внимание, что выходные схемы порта 2 используют сильную нагрузку во время наличия на них 1-иц. Это происходит во время выполнения команды MOVX @DPTR. В это время регистр порта P2 (специальный функциональный регистр - СФР) не содержит 1s и содержимое СФР порта P2 не меняется. Если же следующий цикл чтения/записи внешней памяти не следует сразу за предыдущим, то неизменное содержимое СФР порта P2 сохраняется и в следующем цикле.

При использовании 8-битной адресации (MOVX @Ri) содержимое СФР порта P2 остается на выводах P2 на протяжении всего цикла обращения к внешней памяти. Это облегчает страничную организацию памяти.

В любом случае, младший байт мультиплексируется во времени с байтом данных через порт P0. Сигнал ADDR/DATA управляет обоими полевыми транзисторами в выходных буферах порта P0. Поэтому в данном случае выводы порта P0 не являются выходами с открытым стоком и не требуют внешнего напряжения. Сигнал ALE (Address Latch Enable) может быть использован для ввода адресного байта во внешний регистр. Адресный байт устанавливается при отрицательном переходе ALE (переход с высокого уровня на низкий). Затем, в цикле записи, байт данных записывается в порт P0 сразу после установки сигнала WR#, и остается там пока сигнал WR# не будет снят. В цикле чтения, входящий байт принимается портом P0 сразу после деактивации строба чтения.

Во время любого обращения к внешней памяти, ЦП (Центральный Процессор) записывает 0FFH в регистр порта P0 (специальный функциональный регистр-СФР), поэтому стирание любой информации может быть заблокировано СФР порта P0. Если пользователь записывает в порт P0 во время обращения к внешней памяти, то входящий байт кода разрушается. Поэтому не следует записывать что-либо в порт P0, если используется внешняя программная память.

Внешняя программная память доступна в двух случаях:

- 1) Когда активен сигнал EA#;
- 2) Когда программный счетчик (PC) содержит номер, больший чем 0FFFH(1FFFH для 8052).

Это требует, чтобы в версии микросхемы без ПЗУ сигнал EA# был всегда на низком логическом уровне, т.к. только тогда можно будет обратиться к нижним 4К (8К для 8032) памяти программ внешней памяти.

Когда ЦП работает в режиме внешней программной памяти, все 8 бит порта P0 выделяются для функций вывода, и не могут быть использованы для ввода/вывода общего назначения. Во время доступа к внешним программам они выводят старший байт программного счетчика. При этом порт P2 использует сильную нагрузку для вывода единичных битов PC.

Таймер/счетчик

8051 имеет два 16-битных регистра таймера/счетчика: Timer0 и Timer1. 8052 кроме них имеет еще Timer 2. Все три могут быть сконфигурированы для работы либо в режиме таймера, либо в режиме счетчика.

В режиме таймера, значение регистра увеличивается на 1 каждый машинный цикл. Поэтому его можно считать счетчиком машинных циклов. Т.к. машинный цикл состоит из 12 периодов осциллятора, скорость счета составляет 1/12 частоты осциллятора.

В режиме счетчика, значение регистра увеличивается на 1 в ответ на переход 1-в-0 на соответствующем входном контакте T0, T1 (или T2 для 8052). В этом режиме внешний вход обновляется во время S5P2 каждого машинного цикла. Когда высокий уровень на нем в одном цикле сменяется низким уровнем в следующем цикле, значение счетчика увеличивается. Новое значение счетчика заносится в регистр во время S3P1 цикла, следующего за тем, в котором был определен переход 1-в-0. Т.к. распознавание перехода 1-в-0 занимает два машинных цикла (24 периода осциллятора), максимальная частота счетчика определяется как 1/24 частоты осциллятора. Это не накладывает ограничения на время нахождения внешнего сигнала на входе, но чтобы убедиться что данный уровень определен хотя бы раз до его изменения, он должен удерживаться как минимум один полный машинный цикл.

Дополнение: таймер 0 и таймер 1 имеют четыре режима работы. Таймер 2 в 8052 имеет три режима работы: "Capture" (захват), "Auto-Reload" (автозагрузка) "baud rate generator" (генератор бод).

Таймер 0 и Таймер 1

Эти таймеры/счетчики есть и в 8051 и в 8052. Функция "Timer" или "Counter" определяется контрольным битом C/T# в СФР TMOD (рис.6). Эти два таймера/счетчика имеют четыре режима работы, которые определяются парами битов (M1, M2) в TMOD. Режимы 0,1 и 2 одинаковы для обоих таймеров/счетчиков. Режим 3 различается.

Режим 0 (MODE 0)

Каждый таймер в режиме 0 – это 8-битный счетчик с 32-х кратным предварительным делителем частоты. Этот 13-битный таймер совместим с MCS-48. Рисунок 7 иллюстрирует режим 0 на примере таймера1.

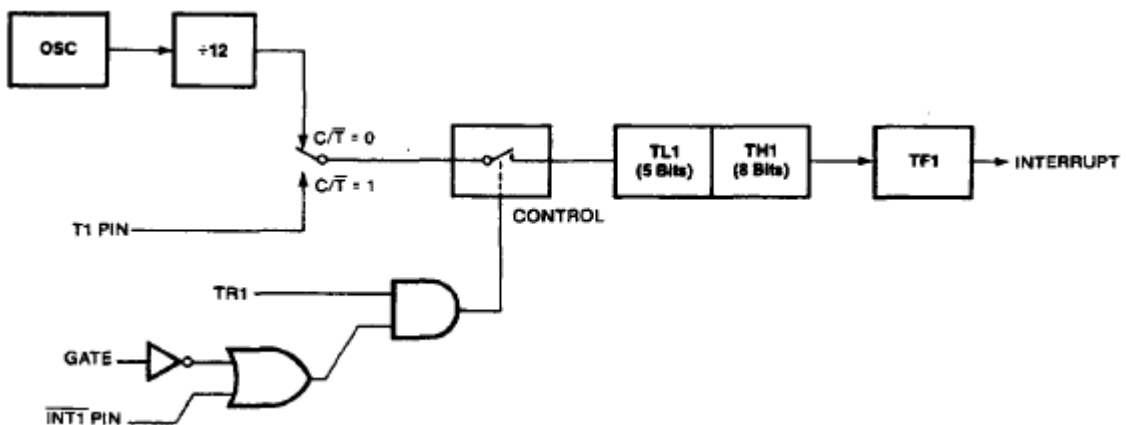
В этом режиме, регистр таймера конфигурируется как 13-битный регистр. Когда счетчик переполняется, он выставляет флаг прерывания таймера TF1. Счетный вход соединен с таймером когда TR1=1 и либо GATE=1, либо INT1# = 1. (Установка GATE в 1 позволяет контролировать таймер внешним сигналом INT1#, что помогает проводить пульсовые измерения). TR1 – это контрольный бит в СФР TCON (рис.8). GATE - в TMOD.

13-битный регистр состоит из всех 8-ми бит TH1 и младших 5-ти бит TL1. Верхние три бита TL1 не определены и должны игнорироваться. Установка флага выполнения (TR1) не позволяет очищать регистры.

Режим 0 одинаков для таймера 0 и таймера 1. Замена TR0 ,TF0 и INT0# соответствующими сигналами таймера 1 показана на рисунке 7. Два бита GATE различны: один для таймера1(TMOD.7) и один для таймера0 (TMOD.3)

GATE	C/T#	M1	M0	GATE	C/T#	M1	M0
Таймер 0				Таймер 1			
<p>GATE. Если установлен GATE таймер/счетчик "x" разрешен, только пока на выводе "INTx#" высокий уровень и установлен контрольный вывод "TRx". Если GATE не установлен, таймер "x" разрешен все время пока установлен контрольный бит "TRx".</p> <p>C/T#. Выбор «счетчик» или «таймер». 0-таймер (ввод из внешней системы счета). 1- счетчик (ввод из "Tx").</p>							
M1	M0	Режим					
0	0	8-битный таймер/счетчик «ТНх» с 5-битным предварительным делителем частоты «TLx» (т.е. «TLx» множитель).					
0	1	16-битный таймер/счетчик. (нет множителя).					
1	0	8-битный таймер/счетчик с автозагрузкой. В «ТНх» хранится значение, загружаемое в «TLx» при переполнении.					
1	1	Таймер 0: TL0 – 8-битный таймер/счетчик, управляемый стандартным контрольным битом таймера 0. TH0 – 8-битный таймер, управляемый контрольным битом таймера 1. Таймер 1: остановлен.					

Рисунок 6. TMOD: Регистр режимов таймера/счетчика.



270252-9

Рисунок 7. Таймер/счетчик 1 в режиме 0 (13-битный счетчик)

TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
-----	-----	-----	-----	-----	-----	-----	-----

Символ	Позиция	Значение
--------	---------	----------

TF1	TCON.7	Флаг переполнения таймера 1. Устанавливается аппаратно при переполнении таймера/счетчика. Снимается так же аппаратно, когда процессор обработает соответствующее прерывание.
TR1	TCON.6	Контрольный бит работы таймера 1. Устанавливается и снимается программно для вкл./выкл. таймера /счетчика.
TF0	TCON.5	Флаг переполнения таймера 0. Устанавливается аппаратно при переполнении таймера 0. Снимается аппаратно, после обработки процессором соответствующего прерывания.
TR0	TCON.4	Контрольный бит работы таймера 0. Устанавливается и снимается программно для вкл./выкл. таймера/счетчика.
IE1	TCON.3	Флаг фронта прерывания 1. Устанавливается программно, когда обнаружено внешнее прерывание. Снимается, когда прерывание обработано.
IT1	TCON.2	Бит управления типов прерываний 1. Устанавливается/снимается программно, устанавливая тем самым высокий/низкий уровень приоритета внешнего прерывания.
IE0	TCON.1	Флаг фронта прерывания 0. Устанавливается аппаратно при обнаружении внешнего прерывания. Снимается, когда прерывание обработано.
IT0	TCON.0	Бит управления прерывания 0.

Рисунок 8. TCON: контрольный регистр таймера/счетчика.

Режим 1

Режим 1 аналогичен режиму 0, за исключением того, что регистр таймера задействует все 16 бит.

Режим 2

Режим 2 конфигурирует регистр таймера как 8-ми битный счетчик (TL1) с автоматической перезагрузкой, как показано на рисунке 9. Переполнение из TL1 не только не устанавливает TF1, но и перезагружает TL1 содержимым TH1, которое заносится программно. TH1 после перезагрузки не изменяется.

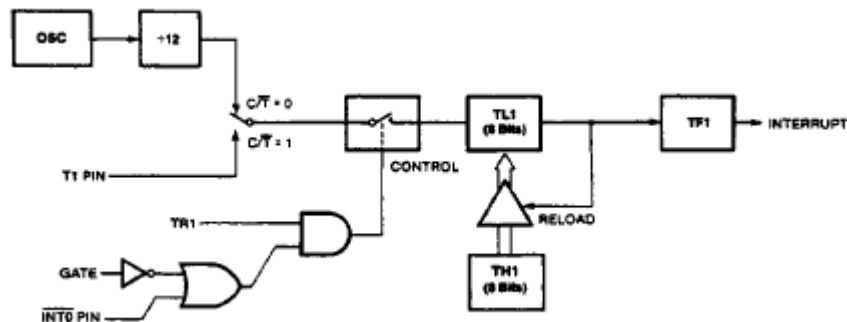
Режим 2 аналогичен режиму счетчика 0 (Timer/Counter 0).

Режим 3

Таймер 1 в режиме 3 просто хранит его значение. Т.е. это то же, что установить TR1=0.

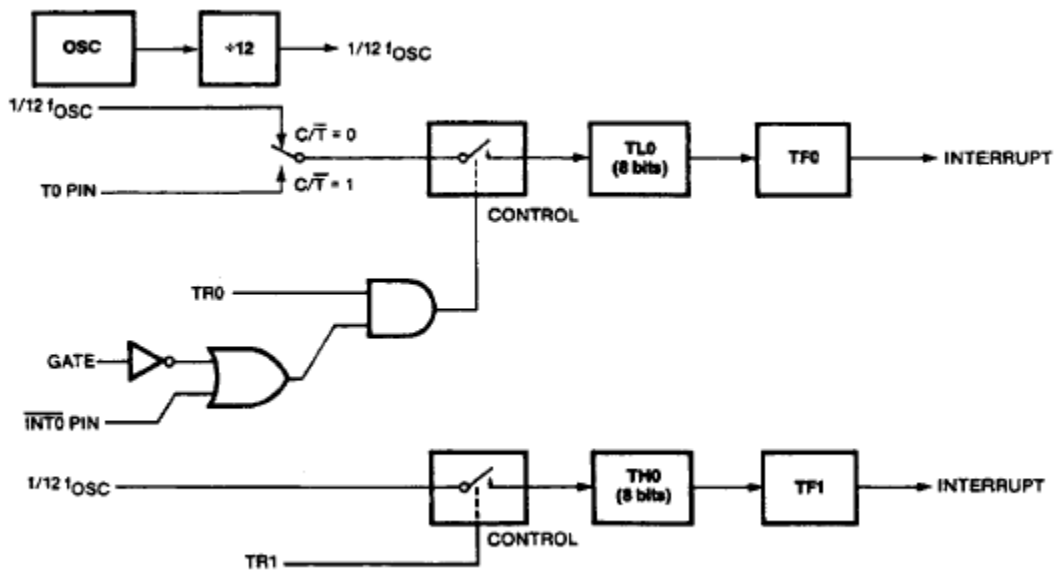
Таймер 0 в режиме 3 устанавливает TL0 и TH0 как два разных счетчика. Логика режима 3 для таймера 0 показана на рисунке 10. TL0 использует контрольные биты таймера 0: C/T#, GATE, TR0, INT0#, и TF0. TH0 блокирует функции таймера (т.е подсчет машинных циклов) и позволяет использовать биты TR1 и TF1 таймера 1. Кроме того TH0 контролирует прерывания таймера 1.

Режим 3 предназначен для приложений, требующих дополнительного 8-битного таймера или счетчика. С таймером 0 в режиме 3, 8051 можно рассматривать как имеющий три таймера/счетчика, а 8052 – четыре. Когда таймер 0 в режиме 3, таймер 1 может быть как включен (on), так и выключен (off), или может быть использован последовательным портом как генератор скорости (в бодах), или любым приложением не требующим прерывания.



270252-10

Рисунок 9. Таймер/счетчик 1 в режиме 2 (8-битный с автозагрузкой)



270252-11

Рисунок 10. Таймер/счетчик 0 в режиме 3 (два 8-битных счетчика)

Таймер 2

Таймер 2 – это 16-битный таймер/счетчик, имеющийся только в 8052. Как и таймеры 0 и 1, он может использоваться как таймер или как счетчик. Это определяется битом C/T2# в СФР T2CON (рис.11). как уже говорилось, он имеет три режима: “Capture” (ввод), “Auto-Reload” (автозагрузка) и “baud rate generator” (генератора скорости), которые выбираются битами в T2CON как показано в таблице 2.

Таблица 2. Режимы таймера 2

CLK+TCLK	CP/RL2#	TR2	Режимы
0	0	1	16-битный ; Авто-перезагрузка
0	1	1	16-битный; Ввод
1	x	1	Оценка генератора в бодах
x	x	0	(нет)

TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2#	CP/RL2#
-----	------	------	------	-------	-----	-------	---------

Символ	Позиция	Значение
--------	---------	----------

TF2	T2CON.7	Флаг переполнения таймера 2. Снят может быть только программно. TF2 не должен быть установлен когда установлен RCLK=1 или TCLK=1.
EXF2	T2CON.6	Внешний флаг таймера 2 set when either a capture or reload is caused by negative transition on T2EX and EXEN2 – 1. Когда разрешено прерывание таймера 2, установка EXF2=1 позволяет ЦП обрабатывать стандартный вектор прерывания. EXF2 должен быть снят программно.
RCLK	T2CON.5	Флаг приема тиков. Когда он установлен, таймер 2 используется последовательным портом для импульсов переполнения при приеме в режимах 1 и 3. Когда RCLK=0 переполнение таймера 1 используется для синхронизации приема.
TCLK	T2CON.4	Флаг передачи тиков. Когда он установлен, последовательный порт использует переполнение таймера 2 используется для синхронизации передачи в режимах 1 и 3. При TCLK=0, для этого используется таймер 1.
EXEN2	T2CON.3	Внешний флаг разрешения таймера 2. Когда он установлен, позволен ввод или считывание, полученное как результат отрицательного перехода T2EX, если таймер 2 не используется для счета последовательного порта. При EXEN=0 таймер 2 игнорирует события в T2EX.
TR2	T2CON.2	Старт/стоп таймера 2. Логическая 1 – запуск таймера.
C/T2#	T2CON.1	Выбор таймер – счетчик. 0 = внутренний таймер(OSC/12) 1 = внешний счетчик
CP/RL2#	T2CON.0	флаг ввод – перезагрузка(сброс). Когда установлен, ввод происходит по отрицательному переходу T2EX если EXEN=1. Когда флаг не установлен, автоматическая перезагрузка происходит при переполнении таймера 2 или при отрицательном переходе T2EX когда EXEN2=1. Когда RCLK=1 или TCLK=1, этот бит игнорируется, и таймер автоматически перезагружается при переполнении таймера 2.

Рисунок 11. T2CON: регистр таймера/счетчика 2.

В режиме захвата существует два варианта работы таймера, выбираемые битом EXEN2 в регистре T2CON. Если EXEN2 = 0, таймер 2 представляет собой 16-разрядный таймер/счетчик, который при переполнении выставляет бит TF2 – бит переполнения таймера 2, который может быть использован для генерации прерывания. При EXEN2 = 1 выполняется все вышесказанное, но с добавлением: при переходе 1-в-0 на внешнем входе T2EX текущее значение регистров TL2 и TH2 заносится в регистры RCAP2L и RCAP2H (СФР 8052) соответственно. При этом выставляется бит EXF2 в T2CON, который также может быть использован для генерации прерывания.

Режим захвата проиллюстрирован на рис. 12.

В режиме автозагрузки существует опять-таки два варианта работы, , выбираемые битом EXEN2 в регистре T2CON. Если EXEN2 = 0, то при переполнении таймера не только выставляется бит TF2 но и в регистры таймера загружаются значения RCAP2L и RCAP2H, которые можно предварительно инициализировать необходимыми значениями. При EXEN2 = 1 выполняется все вышесказанное, но с добавлением: при переходе 1-в-0 на внешнем входе T2EX переключается 16-разрядная загрузка и выставляется бит EXF2 в T2CON.

Режим автозагрузки проиллюстрирован на рис. 13.

Генератор бодовой скорости выбирается установкой RCLK=1 и/или TCLK=1. Он будет описан в разделе последовательного порта.

Последовательный интерфейс

Последовательный порт является полнодуплексным – т.е. он может принимать и передавать данные одновременно. Также он снабжен приемным буфером, что позволяет начинать прием следующего байта до того как предыдущий полученный байт был считан из приемного регистра (в случае, если к моменту окончания приема следующего байта предыдущий байт все еще не был считан из регистра, один из байтов будет потерян). Доступ к регистрам приема и передачи последовательного порта осуществляется через СФР SBUF. Данные, записанные в SBUF загружаются в регистр передачи, а считанные из SBUF, приходят непосредственно из регистра приема.

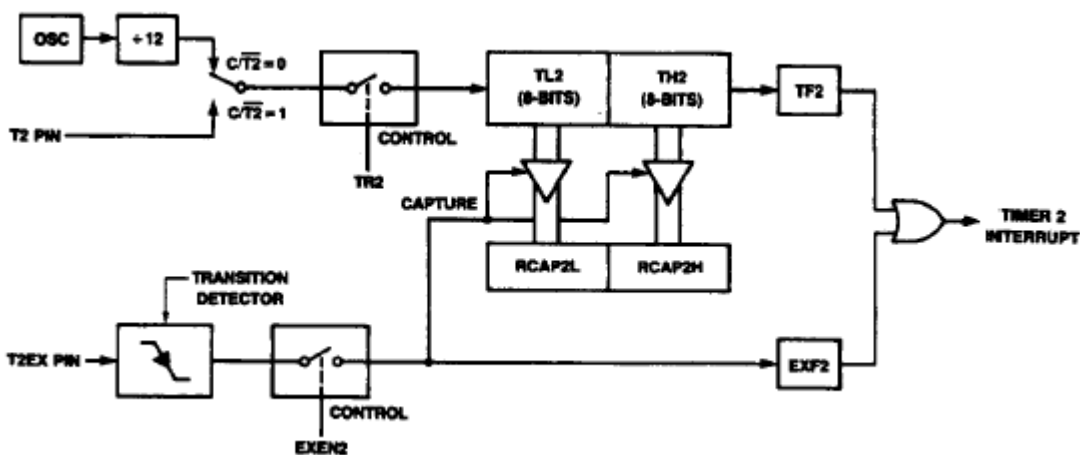


Рисунок 12. Таймер 2 в режиме захвата

Последовательный порт может работать в 4-х режимах.

Режим 0: Последовательный данные входят и выходят через RXD. На выходе TXD – синхронизирующий сигнал. Передаются/принимаются 8 бит. Скорость передачи постоянная и составляет 1/12 частоты осциллятора (в бодах).

Режим 1: 10 бит передаются (через TXD) или принимаются (через RXD): старт-бит (0), 8 бит данных, и стоп-бит (1). При приеме стоповый бит попадает в RB8 регистра SCON. Скорость приема/передачи переменная.

Режим 2: 11 бит передаются (через TXD) или принимаются (через RXD): старт-бит (0), 9 программируемых бит данных, и стоп-бит (1). При передаче 9-ый бит данных (TB8 в SCON) может принимать значения 0 и 1. Этим битом может быть, например, бит четности (P в PSW), для чего его необходимо поместить в TB8. При приеме 9-ый бит данных попадает в RB8 регистра SCON в то время как стоп-бит игнорируется. Скорость приема/передачи переменная и может составлять 1/32 или 1/64 частоты осциллятора (в бодах).

Режим 3: 11 бит передаются (через TXD) или принимаются (через RXD): старт-бит (0), 8 бит данных, программируемый 9-ый бит и стоп-бит(1). По сути, режим 3 полностью повторяет режим 2, за исключением скорости передачи, которая в режиме 3 переменная.

Во всех 4-х режимах передача инициируется инструкциями, использующими SBUF в качестве регистра назначения. Прием инициируется в режиме 0 при условиях RI=0, REN=1. В остальных режимах прием инициируется поступлением старт-бита при условии REN=1.

Многопроцессорные связи

Режимы 2 и 3 предназначены специально для многопроцессорных связей. В этих режимах осуществляется прием 9-го бита данных, который попадает в RB8. После него следует стоп-бит. Порт может быть запрограммирован таким образом, что при приеме стоп-бита прерывание последовательного порта сгенерируется только при условии RB8=1. Это свойство можно использовать установив SM2 в SCON. Способ использования этой особенности в многопроцессорных системах следующий.

Когда master-процессор хочет передать блок данных одному из нескольких slave-процессоров, он передает адресный байт, который идентифицирует получателя. Адресный байт отличается от остальных тем, что у него 9-ый бит 1, а не 0, как у обычных байт данных. При SM2=1 slave не будут прерваны приходом адресного байта. В общем случае, получение адресного байта генерирует прерывание у slave-процессоров, чтобы они могли проверить, не им ли адресована передача. Получатель сбрасывает бит SM2 и готовится получать байты данных. Остальные slave-процессоры оставляют их флаг SM2 и игнорируют последующие байты данных.

SM2 не используется в режиме 0. В режиме 1 он может быть использован для проверки валидности стоп-бита. При приеме данных в режиме 1 и SM2=1 прерывание приема не будет активировано, пока не будет получен валидный стоп-бит.

Управляющий регистр последовательного порта

Управляющий регистр (регистр состояния) последовательного порта SCON показан на рис. 14. В регистре содержатся биты управления режимом порта, 9-ый бит приема/передачи (TB8 и RB8) и бит прерывания последовательного порта (TI и RI).

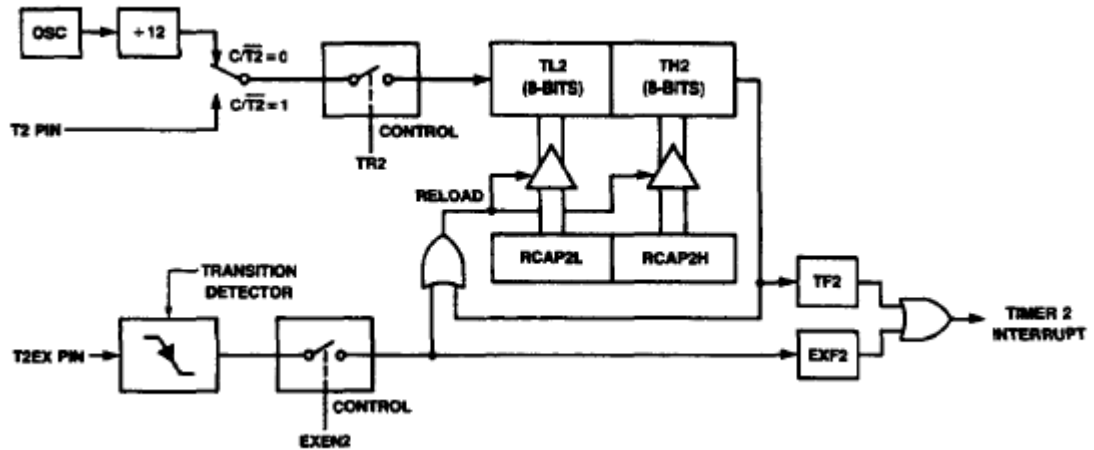


Рисунок 13. Таймер 2 в режиме автозагрузки

Скорость приема/передачи

Скорость приема/передачи в режиме 0 постоянная:

$$\text{Скорость приема/передачи в режиме 0} = \text{Частота осциллятора} / 12.$$

В режиме 2 скорость зависит от значения бита SMOD в регистре PCON. Если SMOD=0 (значение, устанавливаемое при сбросе), скорость составляет 1/64 частоты осциллятора (в

SM0	SM1	SM2	REN	TB8	RB8	T1	R1
SM0, SM1 определяют режим последовательного порта:							
SM0	SM1	Режим	Описание	Частота(бод)			
0	0	0	сдвиговый регистр	$f_{osc}/12$			
0	1	1	8-битный УАПП	изменяемая			
1	0	2	9-битный УАПП	$f_{osc}/64$ или $f_{osc}/32$			
1	1	3	9-битный УАПП	изменяемая			
<ul style="list-style-type: none"> SM2 позволяет мультипроцессорную связь в режимах 2 и 3. В этих режимах, если SM2 установлен в 1, то R1 не должен быть активным, если принятый 9-ый бит данных (RB8) равен 0. В режиме 1, если SM2 = 1, то R1 не должен быть активным, если не принят стоп-бит. В режиме 0, SM2 должен быть равен 0. REN позволяет последовательный прием. Устанавливается программно для разрешения приема. Снимается так же программно для запрещения приема. TB8 это 9-ый бит данных, передаваемый в режимах 2 и 3. Устанавливается и снимается программно. RB8 это 9-ый бит данных, принимаемый в режимах 2 и 3. В режиме 1, если SM2 = 0, RB8 является стоп-битом. В режиме 0 RB8 не используется. T1 флаг прерывания передачи. Устанавливается аппаратно в конце 8-го бита в режиме 0, или в начале стоп-бита в остальных режимах, при любой последовательной передаче. Снимается программно. R1 флаг прерывания приема. Устанавливается аппаратно в конце 8-го бита в режиме 0, или посреди стоп-бита, при любом последовательном приеме. Снимается программно. 							

Рисунок 14. SCON: управляющий регистр последовательного порта

бодах). При SMOD=1, скорость составляет 1/32 частоты осциллятора (в бодах).

Скорость приема/передачи в режиме 2 = $[(1+SMOD)/64] * \text{Частоту осциллятора}$.

В 8051 скорость приема/передачи в режимах 1 и 3 определяется скоростью переполнения таймера 1. В 8052 та же скорость определяется таймером 1, 2 или обоими одновременно (один для передачи, один для приема).

Использование таймера 1 для задания скорости приема/передачи

Скорость приема/передачи в режимах 1 и 3 определяется скоростью переполнения таймера 1 следующим образом:

$$\text{Скорость приема/передачи в режимах 1,3} = \frac{2^{SMOD}}{32} \times (\text{скорость переполнения таймера 1})$$

В этом случае прерывание таймера 1 должно быть отключено. Как и раньше, таймер можно сконфигурировать для работы в режимах «таймера» и «счетчика». Обычно его настраивают в режим таймера с автозагрузкой (старшая часть байта TMOD = 0010B). В этом случае скорость вычисляется по формуле:

$$\text{Скорость приема/передачи в режимах 1,3} = \frac{2^{SMOD}}{32} \times \frac{\text{частота генератора}}{12 \times [256 - (TH1)]}$$

Можно настроить очень низкую скорость передачи оставив прерывание таймера 1 и выставив его (таймер) в 16-разрядный режим (старшая часть TMOD=0001B).

На рис.15 приведен список наиболее часто используемых скоростей и способы их настройки с использованием таймера 1.

Скорость (бод)	Частота осциллятора (МГц)	SMOD	Таймер 1		
			С/Т#	Режим	Загружаемое значение
Режим 0 Макс: 1МГц	12	X	X	X	X
Режим 2 Макс: 375К	12	1	X	X	X
Режимы 1, 3: 62,5К	12	1	0	2	FFH
19,2К	11.059	1	0	2	FDH
9,6К	11.059	0	0	2	FDH
4,8К	11.059	0	0	2	FAH
2,4К	11.059	0	0	2	F4H
1,2К	11.059	0	0	2	E8H
137,5	11.059	0	0	2	1DH
110	6	0	0	2	72H
110	12	0	0	1	FEЕBH

Рис 15. Скорости генерации таймера 1

Использование таймера 2 для задания скорости приема/передачи

В 8052 выбор таймера 2 как задающего скорость приема/передачи (рис. 16) осуществляется установкой TCLK и/или RCLK в T2CON (Рис.11). Обратите внимание, что скорости приема и передачи могут быть разные.

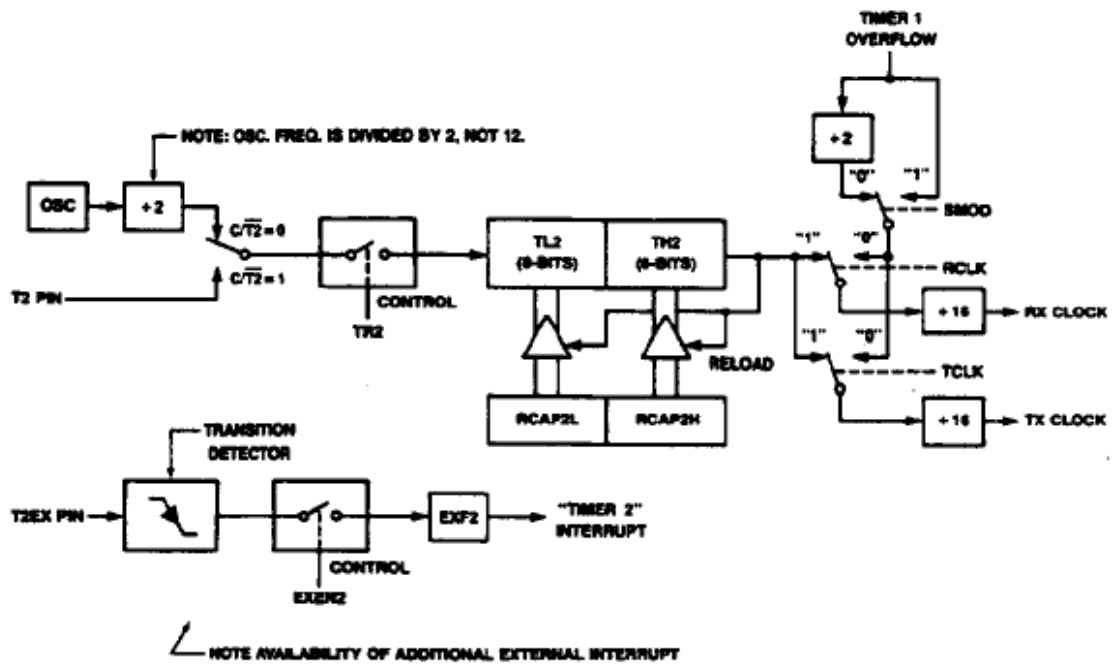


Рисунок 16. Таймер 2 в режиме задания скорости приема/передачи

Режим задания скорости напоминает режим автозагрузки, т.к. переполнение в TH2 перезагружает регистры таймера значениями регистров RCAP2H и RCAP2L.

Скорости в режимах 1 и 3 определяются следующим образом:

Скорость в режимах 1,3 = Скорость переполнения таймера 2 / 16.

Таймер можно сконфигурировать для работы в режимах «таймера» и «счетчика». Обычно его настраивают в режим таймера ($C/T2=0$). При этом значение таймера увеличивается со скоростью равной $1/2$ частоты осциллятора (см. рис 16). В этом случае скорость вычисляется по формуле:

$$\text{Скорость приема/передачи в режимах 1,3} = \frac{\text{частота генератора}}{32 \times [65536 - (RCAP2H, RCAP2L)]}$$

Рис. 16 соответствует действительности только в случае $RCLK + TCLK = 1$ (в T2CON). Обратите внимание, что переполнение в TH2 не выставляет TF2 и не вызывает прерывание. Это позволяет не отключать прерывание таймера 2 при использовании его для задания скорости. Если EXEN2=1, то переход 1-в-0 на входе T2EX всего лишь установит EXF2 и не перезагрузит таймер. Поэтому T2EX можно использовать в качестве внешнего прерывания.

При работе таймера 2 в режиме «таймера» с использованием его для задания скорости, результаты чтения/записи из регистров TL2 и TH2 могут быть неточными. Содержимое регистров RCAP может быть прочитано, но записывать в них не следует. Для доступа к регистрам таймера 2 следует его отключить ($TR2=0$).

Дополнительные сведения о режиме 0

Ввод последовательных данных осуществляется через RXD. На выходе TXD – сигнал смены состояния. Одновременно передаются/принимаются 8 бит. Скорость фиксированная и равна $1/12$ частоты осциллятора.

На рис. 17 показана упрощенная диаграмма работы последовательного порта в режиме 0.

Транзакция инициируется любой инструкцией, использующей SBUF в качестве операнда назначения. Сигнал «write to SBUF» на S6P2 загружает 1 в 9-ую позицию регистра передачи и передает сигнал начала передачи. «Запись в SBUF» и активация сигнала SEND происходят в течение одного машинного цикла.

SEND открывает содержимое сдвигового регистра альтернативной функции вывода линии P3.0 и активирует сигнал SHIF CLOCK альтернативной функции вывода линии P3.1. Сигнал SHIFT CLOCK имеет низкий логический уровень во время S3, S4, и S5 каждого машинного цикла, и высокий во время S6, S1, и S2. На S6P2 каждого машинного цикла в котором SEND активный, содержимое сдвигового регистра передачи сдвигается на одну позицию вправо.

При сдвиге бит данных вправо, очередные позиции слева заполняются нулями. Когда установленный ранее в 1 9-ый бит байта данных подходит на первую позицию сдвигового регистра передачи (все остальные биты к этому времени равны 0), управляющий блок TX делает последний сдвиг и деактивирует сигнал SEND и устанавливает флаг TI. Оба этих события происходят во время S1P1 10-го машинного цикла после «записи в SBUF».

Прием инициируется состоянием REN=1 и RI=0. На S6P2 следующего машинного цикла управляющий блок RX прописывает биты 1111110 в сдвиговый регистр приема и в следующей фазе активирует сигнал RECEIVE.

RECEIVE активирует сигнал SHIF CLOCK альтернативной функции вывода линии P3.1 SHIFT CLOCK осуществляет транзакции на S3P1 и S6P1 каждого машинного цикла. На S6P2 каждого машинного цикла в котором RECEIVE активен, содержимое сдвигового регистра сдвигается на одну позицию влево. Новые биты справа приходят с контакта P3.0 на S5P2 того же машинного цикла.

Когда от первоначального содержимого сдвигового регистра останется 1 бит, будет выставлен флаг RX. После будет выполнен очередной сдвиг и содержимое регистра загрузится в SBUF. На S1P1 10-го машинного цикла после записи в SCON и очистки RI, сигнал RECEIVE снимается и выставляется RI.

Дополнительные сведения о режиме 1

10 бит передаются (через TXD) или принимаются (через RXD): старт-бит (0), 8 бит данных, и стоп-бит (1). При приеме стоп-бит попадает в RB8 регистра SCON. В 8051 бодовая скорость определяется скоростью переполнения таймера 1. В 8052 – таймера 1, таймера 2 или обеими (раздельно для приема и передачи).

На рис. 18 показана упрощенная диаграмма работы последовательного порта в режиме 1.

Транзакция инициируется любой инструкцией, использующей SBUF в качестве операнда назначения. Сигнал «write to SBUF» загружает 1 в 9-ую позицию регистра передачи и сигнализирует управляющему блоку TX о запросе на передачу. Транзакция начинается на S1P1 следующего, за переполнением «divide-by-16» счетчика, машинного цикла.

Транзакция начинается активацией сигнала SEND#, который помещает старт-бит в TXD. На следующем шаге активируется DATA, который помещает бит данных в TXD.

При сдвиге бит данных вправо, очередные позиции слева заполняются нулями. Когда установленный ранее в 1 9-ый бит байта данных подходит на первую позицию сдвигового регистра передачи (все остальные биты к этому времени равны 0), управляющий блок TX делает последний сдвиг и деактивирует сигнал SEND и устанавливает флаг TI. Оба этих события происходят на 10-ом «divide-by-16» переполнении после «write to SBUF».

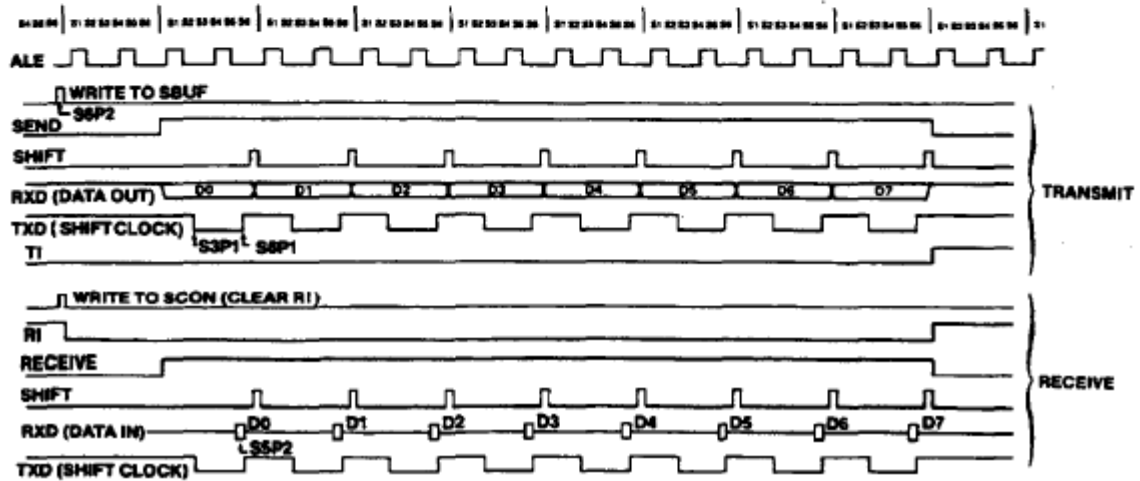
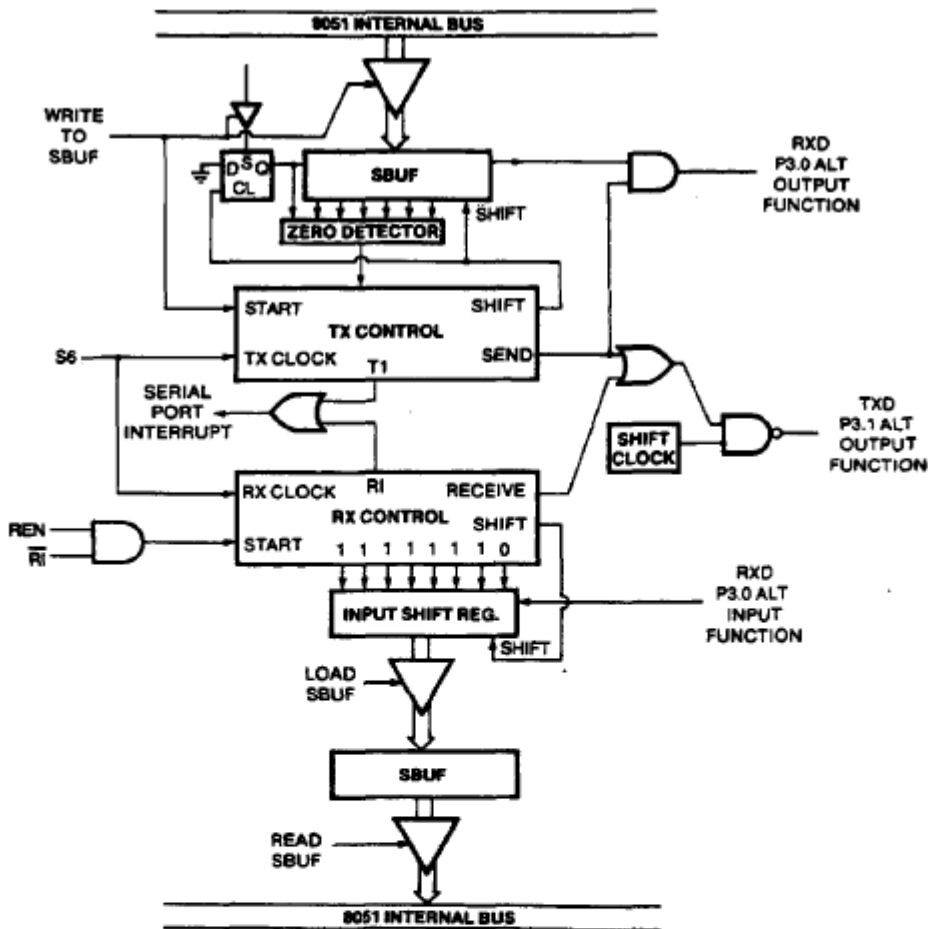


Рисунок 17. Последовательный порт в режиме 0

Прием инициируется определением перехода 1-в-0 на RXD. Для этого RXD проверяется с 16-ти кратной частотой установленной скорости приема (в бодах). Когда передача замечена, «divide-by-16» счетчик сбрасывается и во входной сдвиговый регистр прописывается 1FFH.

Прием бита происходит со сменой 16-ти состояний счетчика. На 7, 8 и 9-ом состоянии, битовый детектор определяет значение на RXD. Значение принимается, если оно было удержано в течение хотя бы 2-х из 3-х состояний счетчика. Это делается в целях шумоподавления. Если значения первого принятого бита не 0, приемные схемы сбрасываются и продолжается поиск перехода 1-в-0. Это происходит в целях определения ложного

стартового бита. Если стартовый бит правильный, он сдвигается во входной сдвиговый регистр и прием продолжается.

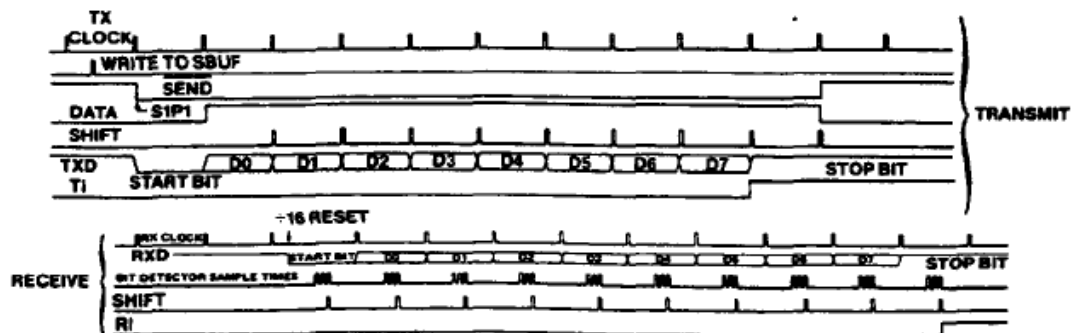
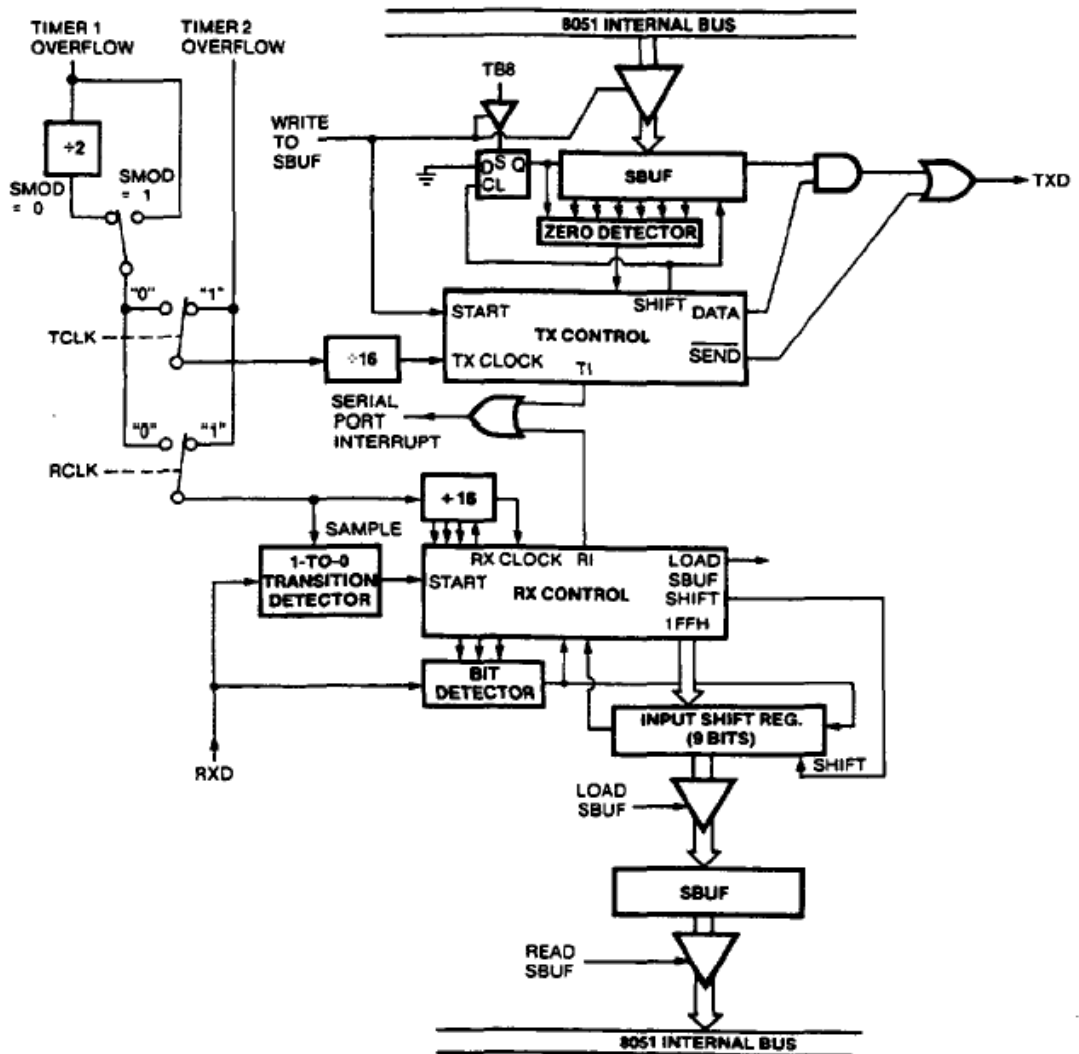


Рисунок 18. Последовательный порт в режиме 1. TCLK, RCLK и таймер2 имеются лишь в 8052/8032

Когда старт-бит оказывается на крайней левой позиции сдвигового регистра (в режиме 1 он 9-ти разрядный), происходит последний сдвиг, содержимое регистра передается в SBUF и RB8 и устанавливается флаг RI. Сигнал для загрузки SBUF и RB8 и установки флага RI генерируется в случае выполнения следующих условий по окончании приема:

- 1) RI=0

2) SM2=0 или принят стоп-бит=1

Если хотя бы одно из этих двух условий не выполняется, принятый кадр будет безвозвратно утерян. При выполнении этих условий, стоп-бит попадает в RB8, 8 бит данных – в SBUF и выставляется флаг RI. При этом, независимо от выполнения или невыполнения условий, на RXD продолжается слежение за наличием перехода 1-в-0.

Дополнительные сведения о режимах 2 и 3

11 бит передаются (через TXD) или принимаются (через RXD): старт-бит (0), 8 бит данных, программируемый 9-ый бит данных и стоп-бит (1). При передаче 9-ый бит может принимать значения 0 и 1. При приеме, 9-ый бит попадает в RB8 регистра SCON. Скорость передачи программируемая, и может быть равна 1/32 или 1/64 частоты осциллятора в режиме 2. В режиме 3 скорость может меняться в зависимости от состояния таймера 1 или 2 (в зависимости от состояния RCLK и LCLK).

На рисунках 19 и 20 показаны функциональные диаграммы работы последовательного порта в режимах 2 и 3. Приемная часть такая же как и в режиме 1. Передача отличается только в 9-ом бите передающего сдвигового регистра.

Транзакция инициируется любой инструкцией, использующей SBUF в качестве операнда назначения. Сигнал «write to SBUF» загружает TB8 в 9-ую позицию передающего регистра и сообщает передающему управляющему блоку о необходимости передачи. Передача начинается на S1P1 следующего, за переполнением divide-by-16 счетчика, машинного цикла. (Передача битов синхронизирована с divide-by-16 счетчиком, а не с сигналом «write-to-SBUF»).

Транзакция начинается активацией сигнала SEND#, который помещает старт-бит в TXD. На следующем шаге активируется DATA, который открывает содержимое сдвигового регистра для TXD. Первый сдвиг загружает стоп-бит (1) в 9-ую позицию сдвигового регистра. В последующих сдвигах в освободившиеся позиции загружаются только 0. Когда TB8 достигнет выходной позиции сдвигового регистра, на следующей позиции будет находиться стоп-бит, а дальше – одни 0. Это состояние сообщает управляющему блоку о необходимости сделать последний сдвиг, деактивировать сигнал SEND и выставить TI. По времени это совпадает с 11-ым отсчетом счетчика с момента появления сигнала «write-to-SBUF».

Прием инициируется определением перехода 1-в-0 на RXD. Для этого RXD проверяется с 16-ти кратной частотой установленной скорости приема (в бодах). Когда передача замечена, «divide-by-16» счетчик сбрасывается и во входной сдвиговый регистр прописывается 1FFH.

На 7, 8 и 9-ом отсчете счетчика, битовый детектор определяет значение на RXD. Значение принимается, если оно было удержано в течение хотя бы 2-х из 3-х отсчетов счетчика. Если значения первого принятого бита не 0, приемные схемы сбрасываются и продолжается поиск перехода 1-в-0. Это происходит в целях определения ложного стартового бита. Если стартовый бит правильный, он сдвигается во входной сдвиговый регистр и прием продолжается.

Когда старт-бит оказывается на крайней левой позиции сдвигового регистра (в режимах 2 и 3 он 9-ти разрядный), происходит последний сдвиг, содержимое регистра передается в SBUF и RB8 и устанавливается флаг RI. Сигнал для загрузки SBUF и RB8 и установки флага RI генерируется в случае выполнения следующих условий по окончании приема:

3) RI=0

4) SM2=0 или принятый 9-ый бит данных=1

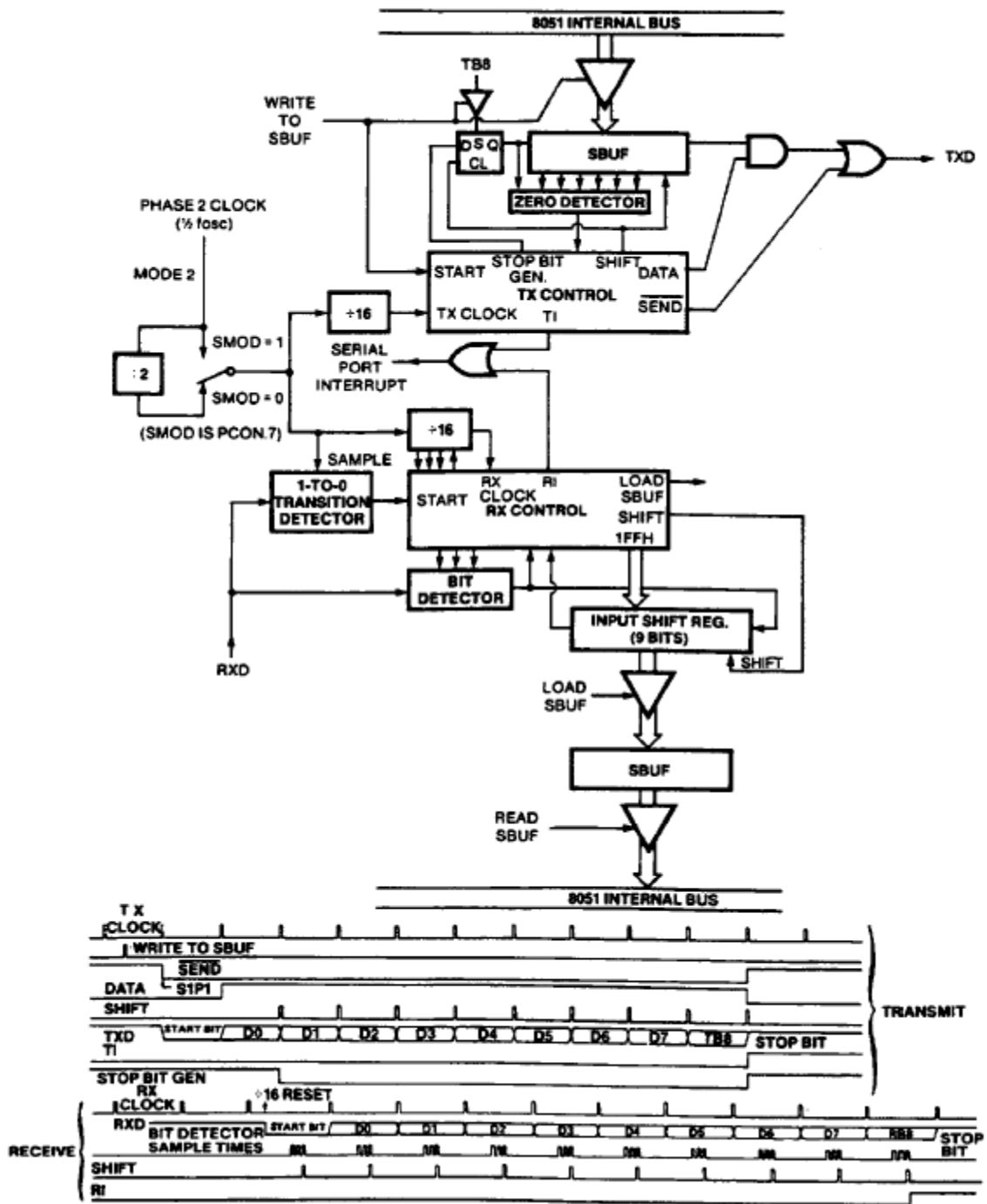


Рисунок 19. Последовательный порт в режиме 2.

Если хотя бы одно из этих двух условий не выполняется, принятый кадр будет безвозвратно утерян и RI не выставится. При выполнении этих условий, 9-ый бит данных попадает в RB8, 8 бит данных – в SBUF и выставляется флаг RI. При этом, независимо от выполнения или невыполнения условий, на RXD продолжается слежение за наличием перехода 1-в-0.

Обратите внимание, что значение стоп-бита не играет роли.

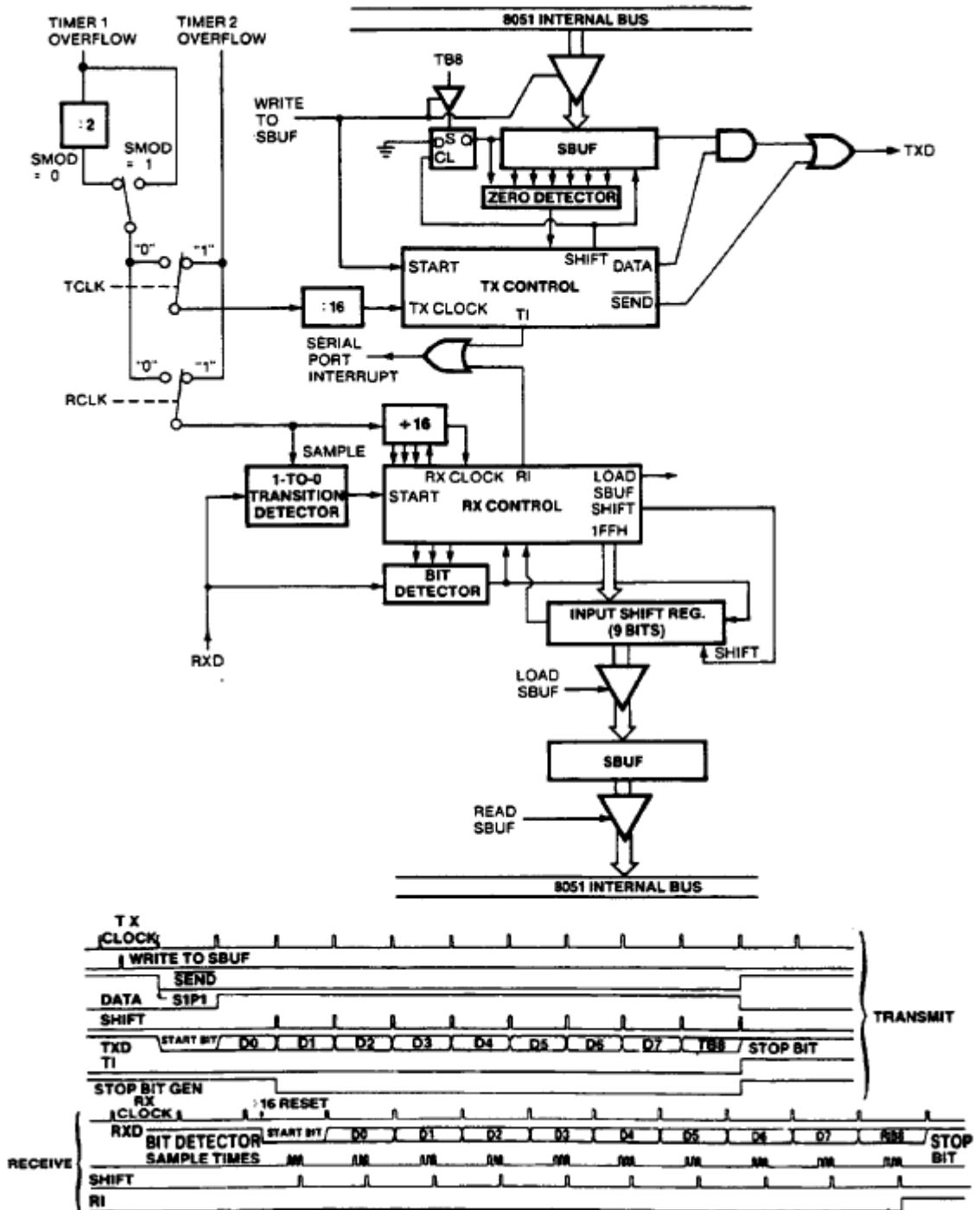


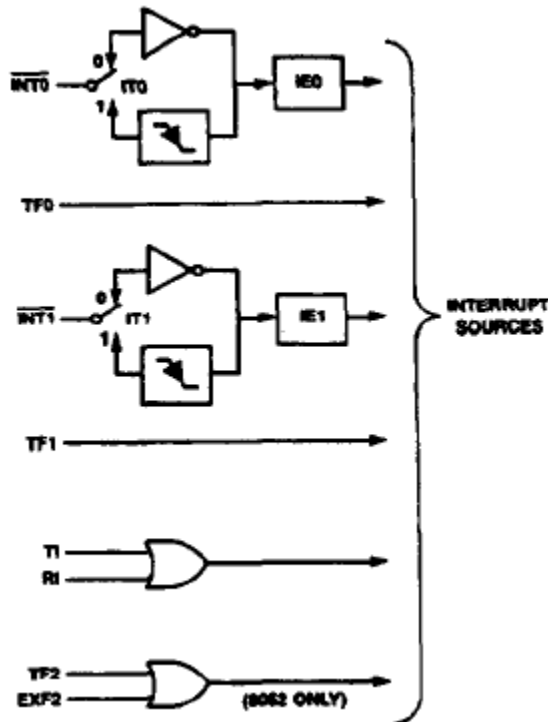
Рисунок 20. Последовательный порт в режиме 3. TCLK ,RCLK и таймер2 имеютя лишь в 8052/8032

Прерывания

В 8051 предусмотрены 5 источников прерываний, в 8052 – 6. Они показаны на рисунке 21.

Внешние прерывания INT0# и INT1# могут активироваться либо по значению уровня сигнала, либо по срезу сигнала, в зависимости от значения битов IT0 и IT1 в регистре TCON. Флаги, которые обычно вызывают эти прерывания – IE0 и IE1 (TCON). Когда сгенерированно внешнее прерывание, флаг, вызвавший его, очищается только в случае активации прерывания по срезу сигнала. Если прерывание было активированно по

уровню, флаг запроса контролируется внешним запрашивающим устройством, а не самим микроконтроллером.



Прерывания таймеров 1 и 2 генерируются TF0 и TF1 которые выставляются при переполнении их регистров (исключение – таймер 0 в режиме 3).

Прерывание последовательного порта генерируется функцией логического «или» битов RI и TI. Эти биты должны очищаться программно.

В 8052 прерывание таймера 2 генерируется функцией логического «или» битов TF2 и EXF2. Эти биты должны очищаться программно.

Прерывания могут быть вызваны или отменены программно.

Рисунок 21. Источники прерываний MCS-51.

EA	-	ET2	ES	ET1	EX1	ET0	EX0
Бит прерывания = 1 – разрешены прерывания. Бит прерывания = 0 – запрещены прерывания.							
Символ	Позиция	Значение					
EA	IE.7	Запрещает все прерывания. Если EA=0 прерывание не будет квантировано. Если EA=1, каждый источник прерывания индивидуально разрешается или запрещается установкой или снятием разрешающего бита.					
-	IE.6	Зарезервирован.					
ET2	IE.5	Бит прерывания таймера 2.					
ES	IE.4	Бит прерывания последовательного порта.					
ET1	IE.3	Бит прерывания таймера 1.					
EX1	IE.2	Бит внешнего прерывания 1.					
ET0	IE.1	Бит прерывания таймера 0.					
EX0	IE.0	Бит внешнего прерывания 0.					

Рисунок 22. IE: Регистр прерываний

Каждый из источников прерываний может быть включен или отключен установкой соответствующего бита в СФР IE (Рис. 22). Также, в IE содержится бит всеобщего запрета прерываний EA.

-	-	PT2	PS	PT1	PX1	PT0	PX0
Бит приоритета = 1 – назначается высокий приоритет. Бит приоритета = 0 – назначается низкий приоритет.							
Символ	Позиция	Значение					
-	IP.7	Зарезервирован.					
-	IP.6	Зарезервирован.					
PT2	IP.5	Бит приоритета прерывания таймера 2.					
PS	IP.4	Бит приоритета прерывания последовательного порта.					
PT1	IP.3	Бит приоритета прерывания таймера 1.					
PX1	IP.2	Бит приоритета внешнего прерывания 1.					
PT0	IP.1	Бит приоритета прерывания таймера 0.					
PX0	IP.0	Бит приоритета внешнего прерывания 0.					

Рисунок 23. IP:Регистр приоритета прерываний.

При получении одновременно двух запросов на прерывание разного уровня, обслуживается тот, что с высоким. Если запросы имеют одинаковый уровень, система внутреннего опроса определяет, который будет обслуживаться. Каждый уровень приоритета имеет вторичную приоритетную структуру, определяемую системой внутреннего опроса:

	Источник	Относительный приоритет
1	IE0	(высокий)
2	TF0	
3	IE1	
4	TF1	
5	RI + TI	
6	TF2 + EXF2	(низкий)

Эта структура используется только при *одновременном принятии запросов с одинаковым приоритетом*.

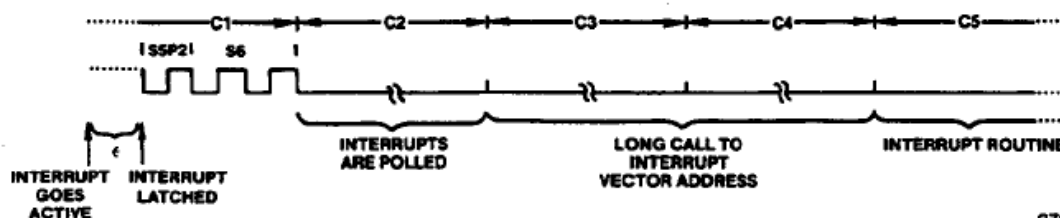
Регистр IP содержит несколько неиспользуемых бит. В 8052 свободны IP.6 и IP.7, а в 8051 – IP.5. Программное обеспечение не должно записывать 1 в эти позиции, т.к. они могут использоваться в последующих моделях MSC-51.

Перехват прерываний

Флаги прерываний проверяются на S5P2 каждого машинного цикла. Результаты проверки обрабатываются в соответствии с приоритетами в следующем машинном цикле. Если один из флагов установлен к моменту S5P2, он будет опознан в цикле опроса и система прерываний сгенерирует LCALL к соответствующей процедуре обработки. Этот локальный переход будет заблокирован при следующих обстоятельствах:

- 1) Уже выполняется прерывание такого же или большего приоритета
- 2) Текущий цикл опроса не является финальным циклом в выполнении текущей инструкции
- 3) Текущая инструкция RETI или любая другая, записывающая в регистры IP и IE

Условие 2 гарантирует, что выполнение какой-либо инструкции не будет прервано процедурой обработки прерывания.



270252-20

Рисунок 24. Временная диаграмма обработки прерываний

Условие 3 гарантирует, что если выполняется инструкция RETI или происходит доступ к регистрам IE или IP, то до обработки прерывания будет выполнена хотя бы еще одна инструкция.

Если флаг прерывания был выставлен, но вызов процедуры был заблокирован одним из 3 вышеописанных условий, то при снятии блокирующих условий флаг прерывания сбросится, и процедура его обработки не вызовется.

Последовательность цикла опроса приведена на рис. 24.

Таким образом процессор реагирует на запрос прерывания вызовом соответствующей процедуры обработки. При этом в некоторых случаях флаг прерывания сбрасывается, а в некоторых - нет. Никогда не сбрасываются флаги последовательного порта и таймера 2 – это необходимо делать программно. Флаги внешних прерываний IE0 и IE1 сбрасываются аппаратно только в случае если они были активированы переходом. При генерации LCALL содержимое программного счетчика (PC) заносится в стек (PSW не сохраняется) и заменяется адресом процедуры-обработчика:

Источник	Адрес вектора
IE0	0003H
TF0	000BH
IE1	0013H
TF1	001BH
RI + TI	0023H
TF2 + EXF2	002BH

Процедура обработки прерывания завершается командой RETI, которая перегружает программный счетчик (PC) значением верхних 2 байт стека и информирует процессор об окончании обработки прерывания.

Обратите внимание, что команда RET также может закончить процедуру обработки прерывания у вернуть управление основной программе, но только процессор все равно будет считать, что прерывание продолжает выполняться.

Внешние прерывания

Внешние источники могут быть запрограммированы на срабатывание по уровню сигнала и по переходу (по срезу) установкой бит IT1 и IT0. Если ITx=0, внешнее прерывание x срабатывает по низкому уровню на контакте INTx#. Если ITx=1, то внешнее прерывание x срабатывает по срезу сигнала (высокий уровень в одном цикле и низкий в следующем).

Т.к. контакты внешних прерываний проверяются один раз в каждом машинном цикле, уровень на входе должен удерживаться хотя бы в течение 12 периодов осциллятора. Если ITx=1, то в течение одного машинного цикла должен удерживаться высокий уровень, а в течение другого – низкий (для срабатывания). При этом IEx будет сбрасываться аппаратно при вызове обработчика.

Если внешнее прерывание срабатывает по уровню (ITx=0), то уровень на входе должен удерживаться пока прерывание не будет сгенерировано. После этого необходимо до завершения обрабатываемой процедуры снять флаг IEx.

Время отклика

Значение уровней сигналов INT0# и INT1# инвертируются и передаются во флаги IE0 и IE1 на S5P2 каждого машинного цикла. Аналогичным образом на S5P2 устанавливаются значения флагов таймера 2 EXF2 и флагов последовательного порта RI и TI

Флаги TF0 и TF1 устанавливаются на S5P2 циклов, в которых таймеры переполняются.

Если происходит запрос на прерывание и нет причин его блокирования, то следующей выполненной инструкцией будет вызов обрабатываемой процедуры. Сам вызов обрабатываемой процедуры состоит из 2 циклов. Таким образом проходит как минимум 3 полных машинных цикла между внешним запросом на прерывание и началом выполнения первой инструкции обрабатываемой его процедуры (рис. 24).

Более длительное время отклика может быть связано с блокировкой прерывания одним из 3 вышеописанных условий. Наибольшая задержка – выполнения RETI – составляет циклов.

Одношаговые операции

Структура прерываний 8051 позволяет производить одношаговое выполнение с минимальной программной нагрузкой. Как было отмечено раньше, система не отреагирует на запрос на прерывание если уже обрабатывается запрос с таким же или более высоким приоритетом. Так же не произойдет реакции пока не выполнится хотя бы одна инструкция после команды RETI. Т.о. если произошел вход в подпрограмму обработки прерывания, повторный вход в нее не может быть выполнен, пока не выполнится следующая инструкция прерванной программы. Один из способов использования этой особенности для одношаговых операций состоит в том, чтобы запрограммировать одно из внешних прерываний (например INT0#) на срабатывание по уровню сигнала. Процедура обработки будет завершаться следующим кодом:

```
JNB P3.2, $ ; Подождать высокого уровня INT0#
JB P3.2, $ ; Теперь подождать низкого
RETI ; вернуться и выполнить следующую инструкцию
```

Теперь, если уровень сигнала на INT0# (он же P3.2) станет низким, будет вызвана программа обработки прерывания 0. Эта программа не завершится, пока на контакте P3.2 не произойдет импульс сигнала (низкий – высокий – низкий уровень). После этого, выполнится инструкция RETI, одна следующая инструкция основной программы, и снова

вызывается подпрограмма обработки прерывания 0. Т.о. управлять ходом основной программы можно подавая импульсы на контакт P3.2.

Сброс

Контакт RST микросхемы 8051 управляет ее сбросом и является входом в триггер Шмитта.

Сброс происходит при удержании высокого логического уровня на контакте RST в течение 2 машинных циклов. Процессор реагирует на это генерацией внутреннего сброса (рис. 25).

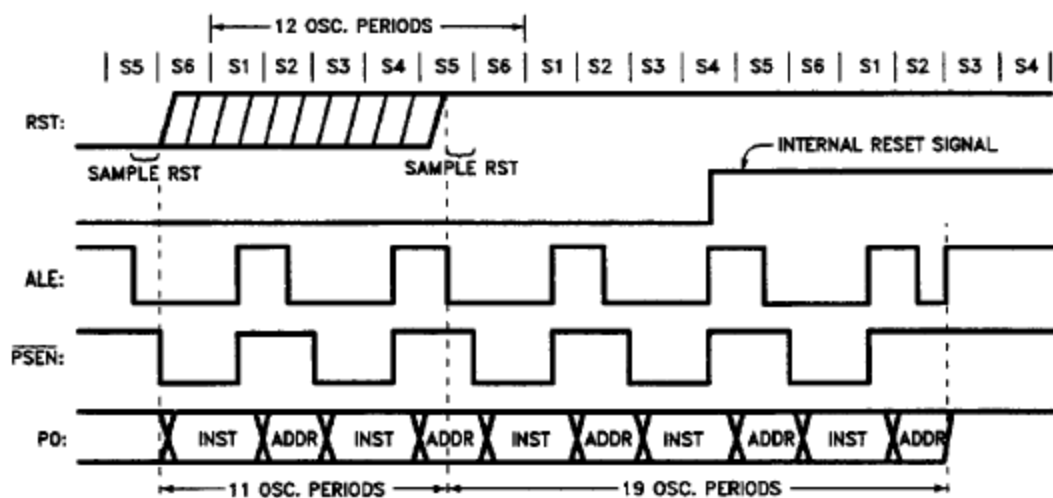


Рисунок 25. Временная диаграмма сброса.

Внешний сигнал сброса является асинхронным по отношению к внутренним часам. Значение на контакте RST проверяется во время S5P2 каждого машинного цикла. Контакты порта будут сохранять свои текущие значения на протяжении 19 периодов осциллятора с момента обнаружения логической 1 на входе RST – это от 19 до 31 периодов осциллятора с момента подачи сигнала на RST.

Пока на RST присутствует «1», на ALE и PSEN удерживаются высокие уровни. Как только на RST стал «0», необходимо 1-2 машинных цикла для установки ALE и PSEN. По этой причине другие устройства не могут быть синхронизированы с внутренним отсчетом времени в 8051.

Переброс «0» на контакты ALE и PSEN во время сброса может перевести устройство в неопределенное состояние.

Алгоритм внутреннего сброса прописывает «0» во все СФР за исключением регистров портов, указателя стека и SBUF. Регистры портов инициализируются значением FFH, указатель стека – 07H, значение SBUF – неопределенное (см. табл. 3).

На внутреннее ОЗУ сброс влияния не оказывает. Значение содержимого ОЗУ при включении также неопределенное.

Сброс при включении питания

У NMOS-устройств при включенном Vcc автоматический сброс при включении питания можно организовать путем подсоединения контакта RST к Vcc через конденсатор 10мкФ

и к Vss через резистор 8,2 кОм (рис. 26). Для CHMOS-устройств наличие резистора не обязательно, т.к. они уже имеют внутреннюю нагрузку на выводе RST, а емкость конденсатора можно снизить до 1мкФ.

При подаче питания, схема, приведенная на рис. 26 будет удерживать высокий уровень на выводе RST в течение времени, которое зависит от емкости конденсатора (скорости его зарядки). Для корректного сброса, высокий уровень необходимо удерживать до запуска осциллятора + два машинных цикла.

Таблица 3. Загружаемые значения в СФР

СФР	Загружаемое значение
PC	0000H
ACC	00H
B	00H
PSW	00H
SP	07H
DPTR	0000H
P0-P3	FFH
IP(8051)	XXX00000B
IP(8052)	XX000000B
IE(8051)	0XX00000B
IE(8052)	0X000000B
TMOD	00H
TCON	00H
TH0	00H
TL0	00H
TH1	00H
TL1	00H
TH2(8052)	00H
TL2(8052)	00H
RCAP2H(8052)	00H
RCAP2L(8052)	00H
SCON	00H
SBUF	НЕОПРЕДЕЛЕНО
PCON(HMOS)	0XXXXXXXXB
PCON(CHMOS)	0XXX0000B

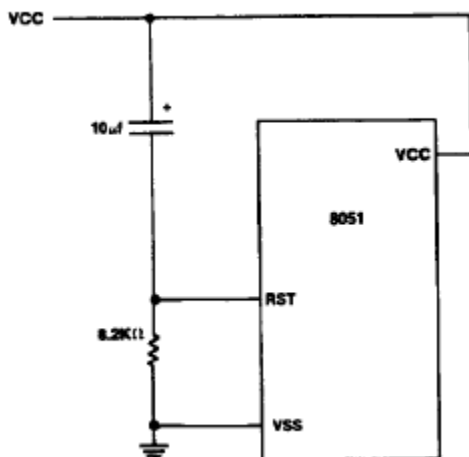


Рисунок 26. Питание в схеме сброса.

При подаче питания, значение Vcc нарастает в течение примерно 10 мс. Время запуска осциллятора зависит от его частоты: для 10МГц кристалла оно составляет 1 мс, для 1МГц – 10 мс.

В приведенной на рис. 26 схеме, резкой спад Vcc до 0 приведет к появлению на выводе RST отрицательного напряжения, что, тем не менее, не повредит микросхему.

Выводы порта будут находиться в неопределенном состоянии до старта осциллятора и запуска алгоритма сброса, который пропишет в них 1-цы.

Подача питания без корректного сброса может вызвать выполнение инструкций с неопределенного адреса. Это происходит вследствие некорректной инициализации СФР и программного счетчика РС.

Режимы энергосбережения

Для приложений с критичными требованиями к энергопотреблению, CHMOS версии микроконтроллеров имеют встроенные режимы энергосбережения. Режим выключения питания в HMOS версиях больше не применяется.

Режимы энергосбережения в устройствах CHMOS

CHMOS версии имеют два режима энергосбережения – режим Idle (холостой) и Power Down (отключения питания). В этих режимах питание подается через Vcc. На рис. 27 приведена схема, реализующая эту возможность. В режиме Idle (IDL=1) осциллятор продолжает работать и блок прерываний, последовательный порт и блок таймера продолжают тактироваться, но процессор от тактового сигнала отключен. В режиме Power Down (PD=1) осциллятор останавливается. Режимы Idle и Power Down активируются путем установки соответствующих бит в регистре PCON (по адресу 87H, рис.28)

В HMOS версии в регистре PCON находится только бит SMOD. Остальные 4 бита присутствуют только в CHMOS версиях. ПО не должно производить запись 1 в эти биты, т.к. они могут использоваться в последующих версиях.

Режим Idle

Инструкция, выставившая PCON.0 является последней инструкцией, выполненной до перехода в режим Idle. В этом режиме тактовый сигнал отключен от процессора, но система прерываний, последовательный порт и таймер продолжают функционировать. Процессор оказывается «законсервированным»; указатель стека, программный счетчик (он же счетчик команд), PSW, аккумулятор и другие регистры сохраняют свои значения. Выводы порта удерживают значения, которые были на них до входа в режим Idle. На ALE и PSEN# удерживаются высокие логические уровни.

Существует два способа выйти из режима Idle. Первый из них состоит в том, что срабатывает прерывание. После обработки прерывания, система возвращается в режим Idle.

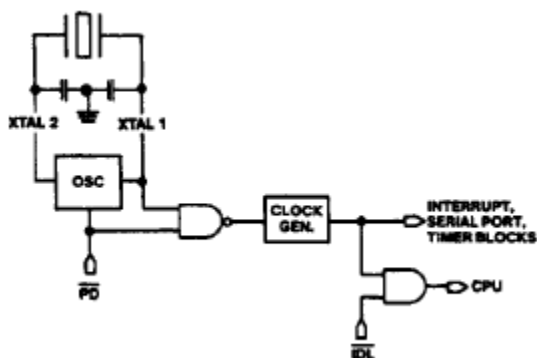


Рисунок 27. Режимы Idle и отключения питания.

Символ	Позиция	Значение
SMOD	PCON.7	Бит двойной частоты. При установке в 1 таймер 1 используется для задания скорости, а последовательный порт работает в режимах 1,2 или 3.
-	PCON.6	Зарезервирован.
-	PCON.5	Зарезервирован.
-	PCON.4	Зарезервирован.
GF1	PCON.3	Битовый флаг для общих целей.
GF0	PCON.2	Битовый флаг для общих целей.
PD	PCON.1	Бит отключения питания. Установка этого бита активирует операцию отключения питания.
IDL	PCON.0	Бит ждущего режима. Установка данного бита активирует операцию ждущего режима.

Если одновременно записать единицы в PD и IDL, то работать будет PD. Исходное состояние PCON – (0XXX0000). В NMOS устройствах регистр PCON содержит только SMOD. Остальные 4 бита обеспечиваются лишь в CHMOS устройствах. ПО не должно использовать эти биты т.к. они могут использоваться в последующих версиях.

Рисунок 28. PCON: регистр управления питанием.

Флаги GF0 и GF1 могут быть использованы для индикации: сработало ли прерывание в режиме Idle или в обычном режиме. Например, инструкция, активирующая режим Idle может выставить один из этих флагов, а обработчик прерывания может этот флаг проверить.

Второй способ выхода из режима Idle – использование сброса. Т.к. осциллятор работает, по-прежнему необходимо 2 машинных цикла до срабатывания сброса.

Сигнал на выводе RST очищает непосредственно бит IDL. При этом. Процессор в течение 2 машинных циклов будет продолжать выполнения программы с того места, на котором он остановился при входе в режим Idle. Система будет предупреждать доступ к внутреннему ОЗУ, но доступ к портам будет открытым. Чтобы избежать вывода случайных данных через выходы порта, инструкция, следующая за инструкцией перехода в режим Idle не должна производить операции с памятью и портами.

Режим Power Down

Инструкция, выставяющая PCON.1 является последней инструкцией, выполненной до перехода в режим Power Down. В режиме Power Down осциллятор останавливается, в связи с чем прекращаются все функции.

Таблица 4. СППЗУ 8051 и 8052

Название устройства	СППЗУ версия	Объем ППЗУ	Технология	Напряжение питания	Время программирования полной матрицы
8051АН	8751Н/8751ВН	4К	HMOS	21.0V/12.75V	4 мин
80С51ВН	87С51	4К	CMOS	12.75V	13 сек
8052АН	8752ВН	8К	HMOS	12.75V	26 сек

Тем не менее, значения в ОЗУ и СФР сохраняются. На выводах портов содержатся значения, содержащиеся в регистрах портов. На ALE и PSEN# удерживаются низкие уровни.

Единственный выход из этого режима для 80С51 – аппаратный сброс. Сброс переопределяет значения всех СФР, но не изменяет внутрочиповую память.

В режиме Power Down значение Vcc может быть понижено до 2В. Нужно быть осторожным, чтобы не понизить напряжение питания до перехода в режим Power Down. Операцию сброса не следует проводить до восстановления напряжения питания. Также, сброс необходимо проводить в течение времени не меньшего, чем понадобится для запуска осциллятора (обычно, менее 10 мс).

Версии микросхем с СППЗУ

Список микросхем с СППЗУ приведен в таблице 4. 8751Н программируется при значении Vpp=21В используя один 50мс импульс PROG# на каждый программируемый байт. Оющее время на программирование (4Кб) составляет около 4 минут.

В 8751ВН, 8752ВН и 87С51 применяется более быстрый “быстро-пульсовый” алгоритм программирования. Эти устройства программируются при значении Vpp=12,75В используя серию из 25 100мс импульсов PROG# на каждый программируемый байт. В результате общее время программирования составляет 26с для 8752ВН (8кб) и 13с для 87С51 (4Кб).

Подробное описание процедур программирования и проверки даны с информационных листах.

Чувствительность к свету

Рекомендуется заклеивать окно СППЗУ непрозрачной наклейкой во время его работы, в большей степени, для защиты ОЗУ и и другой логики. Попадание света на микросхему во время ее работы может вызвать отказ в работе логики.

Блокровка программной памяти

В некоторых приложениях микроконтроллера желательно, чтобы программная память была защищена от пиратского копирования ПО. Для этого Intel внедрила схему блокировки программной памяти в некоторых версиях MSC-51. Пока что никто не может гарантировать 100% защиту от технологического грабежа, но блокировка программной памяти является существенным барьером на пути незаконного копирования ПО.

Схема битовой блокировки

В 8751Н содержится бит блокировки который, будучи запрограммированным, запрещает доступ всеми внешними средствами к программной памяти. Действие бита таково, что пока он запрограммирован, программная память не может быть прочитана, но команды в ней могут выполняться процессором.

Процедура программирования бита блокировки описана в документации на 8751Н.

Две схемы блокировки программной памяти

В 8751ВН, 8752ВН и 87С51 содержатся две схемы блокировки программной памяти: зашифрованная проверка и блокировочные биты.

Шифрующий массив: в СППЗУ есть шифрующий массив байт (по умолчанию не запрограммирован – все 1). Пользователь может запрограммировать массив для кодирования программы во время проверки СППЗУ. Процедура проверки последовательно XORит каждый байт кода очередным байтом ключа (если ключевая последовательность заканчивается, снова берется ее первый байт). После кодирования содержимое программной памяти может быть корректно прочитано только при известной последовательности ключевых байт (табл. 6).

При использовании кодирующего массива должен приниматься во внимание один важный фактор: если значение байта 0FFH, то процедура проверки выдаст ключевой байт для этого байта кода. Если будет достаточно длинный кусок кода, содержащий подряд 0FFH-байты, то процедура проверки выдаст всю ключевую последовательность. Т.о. для максимальной безопасности не следует оставлять в программной памяти длительные последовательности 0FFH.

Блокировочные биты: в схему блокировки памяти включены и блокировочные биты, которые предоставляют различный уровень защиты (табл. 5, 6).

Стирание СППЗУ стирает и кодирующий массив.

Таблица 5. Блокировочные биты и их действие

Блокировочные биты			Типы защиты	
	LB1	LB2		LB3
1	U	U	U	Запрещена программная блокировка
2	P	U	U	Инструкции MOVС, выполняемые из внешней памяти отключены. EA проверяется и фиксируется при сбросе. Дальнейшее программирование СППЗУ отменено.
3	P	P	U	То же, что и 2, но проверка отключена.
4	P	P	P	То же, что и 3, но внешнее выполнение отменено.

Все остальные комбинации блокировочных битов не определены.

Таблица 6. Программная защита

Устройство	Блокирующие биты	Зашифрованная матрица
8751BH	LB1, LB2	32 байта
8752BH	LB1, LB2	32 байта
87C51	LB1, LB2, LB3	32 байта

При запрограммированном блокировочном бите 1, логический уровень на выводе EA# считывается и фиксируется во время сброса. Если устройство было включено без сброса, фиксируется случайное значение и удерживается до сброса. Для правильного функционирования необходимо соответствие между зафиксированным и действительным значением на выводе EA#.

Защита ПЗУ

Версиями 8051AH и 80C51BH с защитой ПЗУ являются 8051AHP и 80C51BHP соответственно. Для реализации защиты ПЗУ была отключена программная проверка и доступ к внешней памяти ограничен 4-мя Кб. Более подробная информация в описаниях к этим микросхемам.

Режим ONCE™

Режим ONCE (“on-circuit emulation”) облегчает тестирование и отладку систем используя устройство без необходимости удалять устройство из цепи. Режим ONCE вызывается:

- 1) Установкой низкого логического уровня на ALE во время сброса и высокого уровня на PSEN#
- 2) Удержания низкого уровня на ALE при деактивации сброса.

Пока устройство работает в режиме ONCE, выводы порта 0 находятся в неопределенном состоянии, а на выводах других портов, ALE и PSEN# - высокий уровень. Цепь осциллятора остается активной. Когда устройство работает в этом режиме, эмулятор или проверяющий процессор может быть использован для управления схемой. Нормальный режим восстанавливается после сброса.

Внутричиповые осцилляторы

HMOS – версии

Схема внутричиповых осцилляторов для HMOS (HMOS-1 и HMOS-2) версий MSC-51 представляет собой одноуровневый линейный инвертор (рис. 29), используемый в качестве контролируемого кристаллом осциллятора с положительным реактивным сопротивлением (рис. 30). При этом кристалл работает в своем основном режиме – как индуктивное сопротивление в параллельном резонансе с внешней емкостью кристалла.

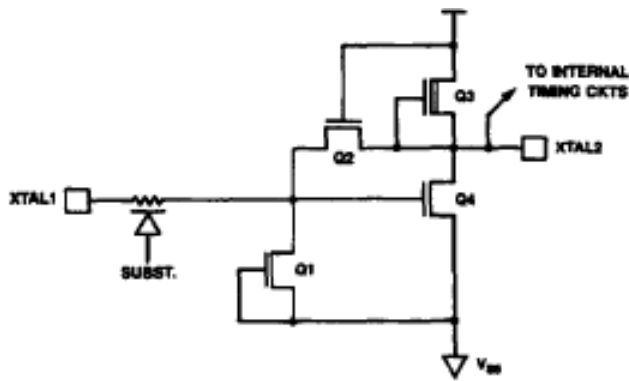
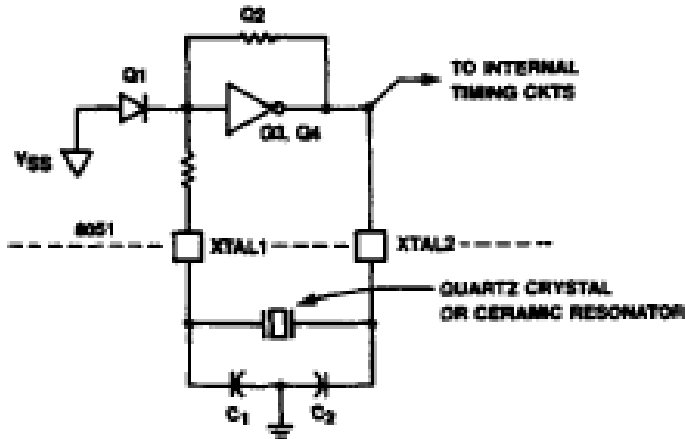


Рисунок 29. Внутрициповый осциллятор для NMOS версий MSC-51



Спецификация кристалла и значения емкостей (C_1 и C_2 на рис. 30) не критичны. На любой частоте, при хорошем качестве кристалла могут быть использованы 30 пФ конденсаторы. При использовании керамического резонатора их значения должны быть выше – примерно 47 пФ (эти значения должны быть

Рисунок 30. Использование NMOS во внутрициповых осцилляторах

согласованы с производителями керамического резонатора).

В общем случае, кристаллы, используемые с этими устройствами имеют следующие параметры:

C_0 (шунтовая емкость) – 7 пФ макс.

C_L (нагрузочная емкость) – 30 пФ \pm 3 пФ

Управляющий уровень – 1 мВт

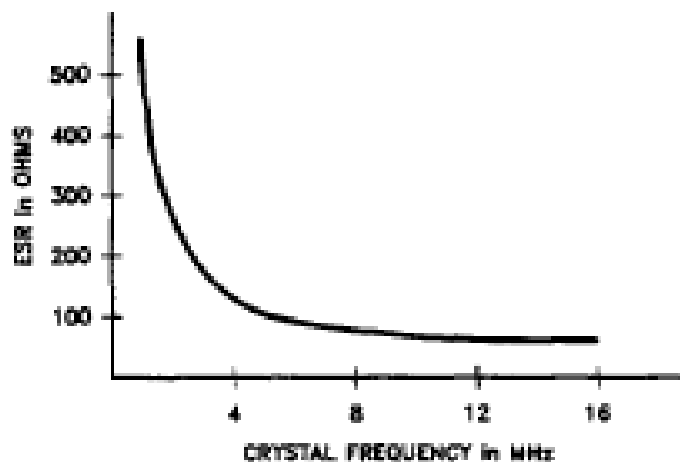


Рисунок 31. Зависимость эквивалентного сопротивления от частоты

Частота, допуск и диапазон температур определяются системными требованиями.

Более подробное рассуждение на тему спецификации кристалла, керамических резонаторов и выбора значений емкостей C_1 и C_2 может быть найдено на страницах приложения AP-155 «Осцилляторы для микроконтроллеров».

Для управления частями NMOS при помощи внешнего тактирующего сигнала, необходимо приложить его к выводу XTAL2 и заземлить вывод XTAL1, как показано на рис. 32. При этом может быть использован нагрузочный резистор, но только в случае если уровень V_{OH} превышает значение $V_{IN\ MIN}$ спецификации XTAL2.

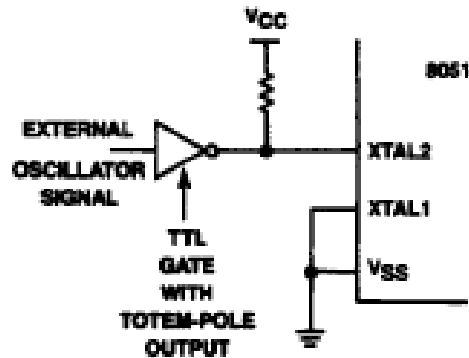


Рисунок 32. Управление частями NMOS MCS-51 при помощи внешнего тактирующего сигнала

CMOS версии

Схема внутрочипового осциллятора для 80C51BH, показанная на рис. 33, представляет собой одноуровневый линейный инвертор (рис. 29), используемый в качестве контролируемого кристаллом осциллятора с положительным реактивным сопротивлением, точно так же как и в NMOS версиях. Тем не менее, имеется несколько важных отличий.

Первое отличие состоит в том, что 80C51BH может программно отключать осциллятор прописывая 1 в бит PD регистра PCON. Второе отличие состоит в том, что внутренняя схема синхронизации 80C51BH управляется сигналом с XTAL1 а не с XTAL2, как в NMOS-версиях.

Резистор обратной связи R_f на рис. 33, состоит из параллельных полевых транзисторов с каналами n- и p-типа, управляемые битом PD регистра PCON. Т.о. R_f открыт когда PD=1. Диоды D1 и D2, работающие как зажимы VCC и VSS, являются паразитными для транзисторов R_f

Осциллятор может быть использован с такими же внешними компонентами, как и в NMOS-версии (рис. 34). Обычно, $C1=C2=30\text{пФ}$ когда в качестве элемента обратной связи используется кварцевый кристалл, и $C1=C2=47\text{пФ}$, когда используется керамический резонатор.

Для управления частями NMOS при помощи внешнего тактирующего сигнала, необходимо приложить его к выводу XTAL1, а вывод XTAL2 оставить свободным, как показано на рис. 35.

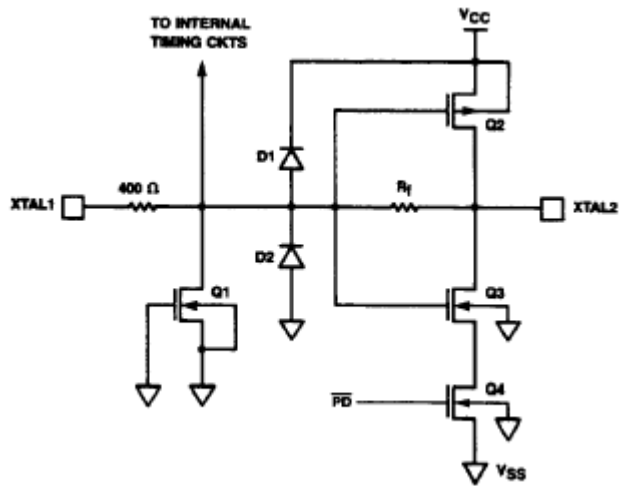


Рисунок 33. . Внутричиповый осциллятор для CHMOS версий MSC-51

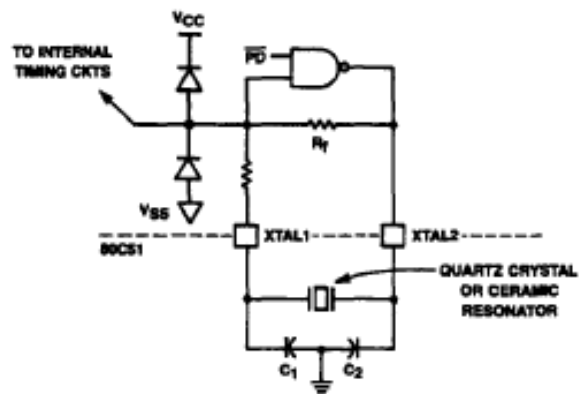


Рисунок 34. Использование CHMOS во внутричиповых Осцилляторах MCS-51

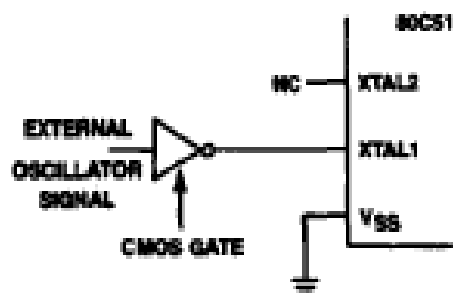


Рисунок 35. Управления частями CHMOS MCS-51 при помощи внешнего тактирующего сигнала

Внутренняя синхронизация

Рисунки 36-39 показывают, когда синхронизация стробирующих сигналов и сигналов порта внутренняя. На рисунках не изображены время нарастания и спада сигналов и задержки распространения.

Времена нарастания и спада сигналов зависят от степени загрузки внешних выводов микросхемы. Обычно они находятся в районе 10нс (при изменении с 0.8В до 2В).

Задержки распространения различны для разных выводов. Для конкретного вывода они зависят от загрузки вывода, температуры, значения VCC, изготовления. Обычно они могут колебаться от 25 до 125нс.

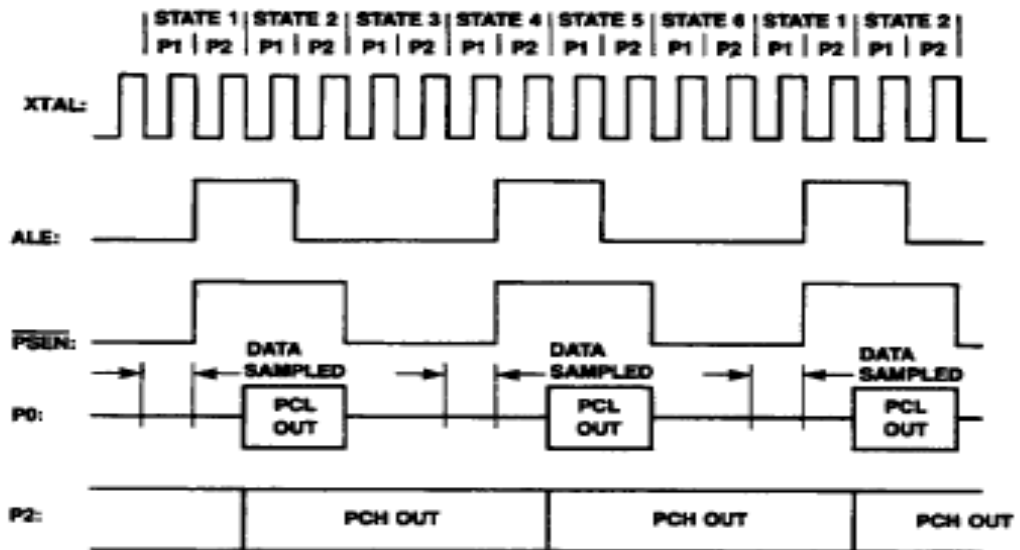


Рисунок 36. Захват внешней программной памяти

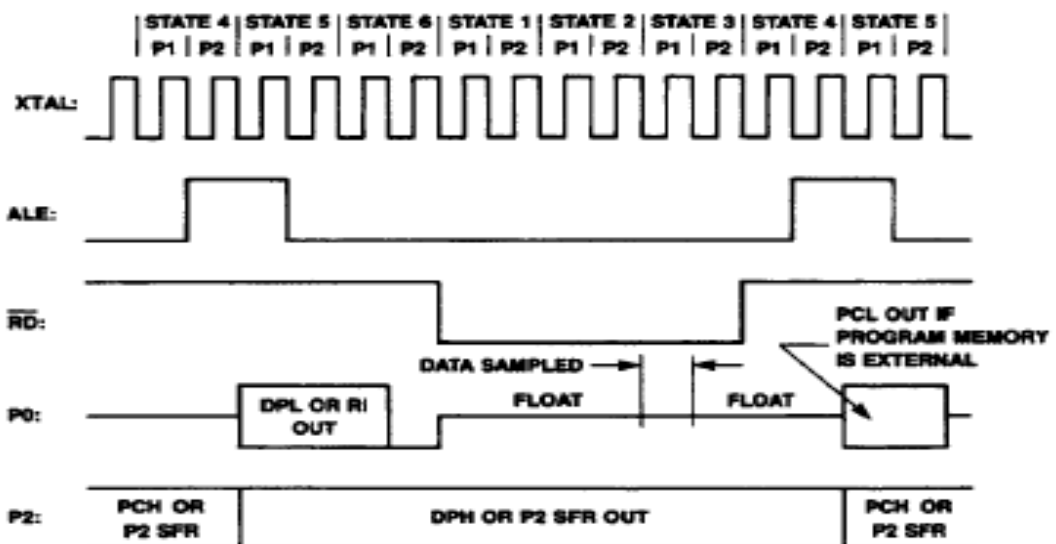


Рисунок 37. Цикл чтения внешней памяти данных

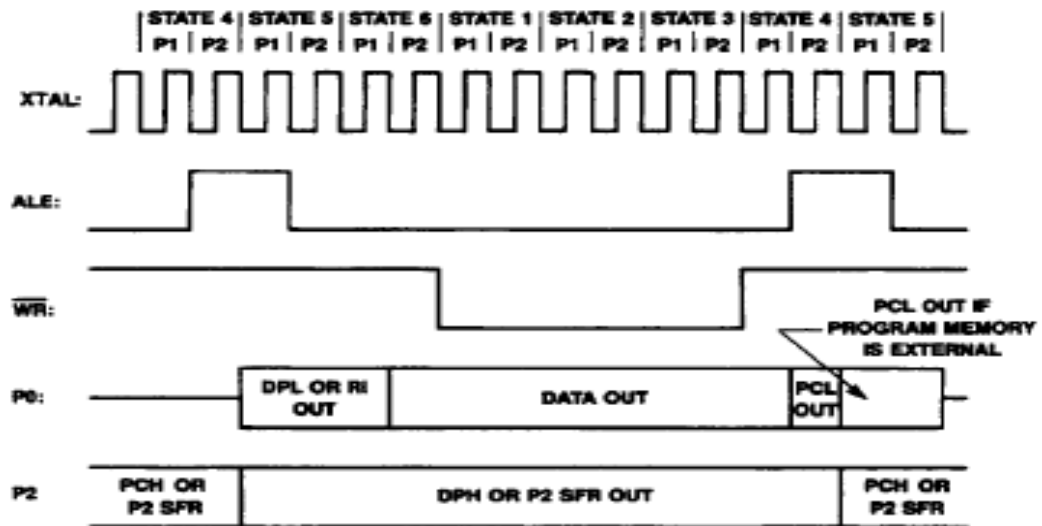


Рисунок 38. Цикл записи внешней памяти данных

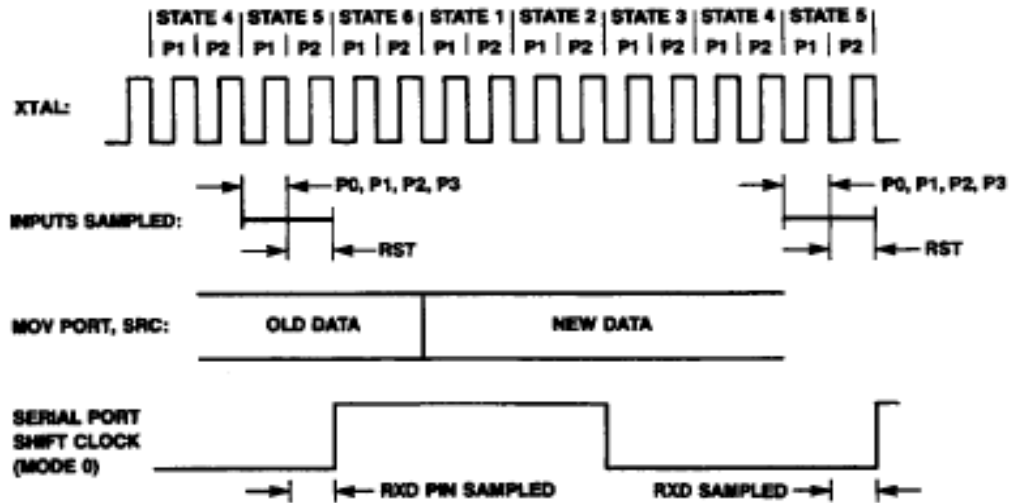


Рисунок 39. Операции с портом